

UNIVERSIDADE FEDERAL DE PERNAMBUCO
CENTRO DE TECNOLOGIA E GEOCIÊNCIAS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

ALINE VICTÓRIA CAVALCANTI PEREIRA

CONVERSORES C.C./C.C. DE ALTO GANHO COM CHAVE ÚNICA PARA
SISTEMAS FOTOVOLTAICOS

Recife
2021

ALINE VICTÓRIA CAVALCANTI PEREIRA

**CONVERSORES C.C./C.C. DE ALTO GANHO COM CHAVE ÚNICA PARA
SISTEMAS FOTOVOLTAICOS**

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Pernambuco, como requisito parcial para a obtenção do título de Doutora em Engenharia Elétrica.

Área de Concentração: Processamento de Energia.

Orientador: Prof. Dr. Marcelo Cabral Cavalcanti.

Coorientador: Prof. Dr. Gustavo Medeiros de Souza Azevedo.

Recife

2021

Catálogo na fonte
Bibliotecária Margareth Malta, CRB-4 / 1198

P436c Pereira, Aline Victória Cavalcanti.
 Conversores c.c./c.c. de alto ganho com chave única para sistemas fotovoltaicos
 / Aline Victória Cavalcanti Pereira. – 2021.
 160 folhas, il., gráfs., tabs.

Orientador: Prof. Dr. Marcelo Cabral Cavalcanti.
Coorientador: Prof. Dr. Gustavo Medeiros de Souza Azevedo.

Tese (Doutorado) – Universidade Federal de Pernambuco. CTG.
Programa de Pós-Graduação em Engenharia Elétrica, 2021.
Inclui Referências, Apêndices e Anexos.

1. Engenharia Elétrica. 2. Conversores de alto ganho. 3. Comutação sob zero de corrente. 4. Acoplamento magnético. I. Cavalcanti, Marcelo Cabral (Orientador). II. Azevedo, Gustavo Medeiros de Souza (Coorientador). III. Título.

UFPE

621.3 CDD (22. ed.).

BCTG/2022-107

ALINE VICTÓRIA CAVALCANTI PEREIRA

**CONVERSORES C.C./C.C. DE ALTO GANHO COM CHAVE ÚNICA PARA
SISTEMAS FOTOVOLTAICOS**

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Pernambuco, Centro de Tecnologia e Geociências, como requisito parcial para a obtenção do título de Doutora em Engenharia Elétrica. Área de Concentração: Processamento de Energia.

Aprovada em 16/11/2021.

BANCA EXAMINADORA

Prof. Dr. Marcelo Cabral Cavalcanti (Orientador)
Universidade Federal de Pernambuco

Prof. Dr. Gustavo Medeiros de Souza Azevedo (Coorientador)
Universidade Federal de Pernambuco

Prof. Dr. Leonardo Rodrigues Limongi (Examinador Interno)
Universidade Federal de Pernambuco

Prof. Dr. Fabrício Bradaschia (Examinador Interno)
Universidade Federal de Pernambuco

Prof. Dr. Marcello Mezaroba (Examinador Externo)
Universidade do Estado de Santa Catarina

Prof. Dr. Cassiano Rech (Examinador Externo)
Universidade Federal de Santa Maria

AGRADECIMENTOS

Meus sinceros agradecimentos aos meus familiares, em especial os meus pais, Reginete e Luiz Pereira, e o meu irmão, João Pedro, que sempre me apoiaram e acreditaram em mim. Sem seu carinho e amparo, esta conquista seria ainda mais árdua.

Agradeço, especialmente, a meu marido, Romero Gonçalves, que me apoiou nos momentos mais difíceis e desgastantes desta jornada.

Aos meus sogros, Lúcia Helena e Alexandre Gonçalves, pelo acolhimento e por estar sempre torcendo pelas minhas conquistas.

Aos Professores Marcelo Cabral Cavalcanti e Gustavo Medeiros de Souza Azevedo, pela orientação, confiança, paciência, prestatividade durante toda jornada do doutorado.

Aos Professores Francisco Neves, Fabrício Bradaschia, Leonardo Limongi e Rafael Cavalcanti, membros do Grupo de Eletrônica de Potência e Acionamentos Elétricos (GEPAE) da UFPE, pelo aprendizado, convívio e acolhimento dentro do grupo.

Aos pesquisadores do GEPAE: Eduardo José Barbosa, Eduardo Augusto Barbosa, Carolina Caldeira, Antônio Dutra e Fernando Arnhold. Em particular, a Márcio Rodrigo cujo apoio foi primordial para finalização desta tese.

Aos amigos do Departamento de Engenharia Elétrica (DEE): Yasmin, Caio, Claudiane, Deborah e Amanda. As risadas, conversas e alegrias diárias tornaram minha rotina mais leve. Em especial, à amiga e pesquisadora Juliana Beça, que mesmo fisicamente distante esteve sempre presente durante essa jornada.

À Fundação de Amparo à Ciência e Tecnologia do Estado de Pernambuco (FACEPE) e Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) pelo apoio financeiro.

Às demais pessoas que contribuíram direta ou indiretamente na elaboração desta tese ou participaram da minha vida, e que, por ventura, eu tenha me esquecido de agradecer.

"was wir wissen, ist ein tropfen
was wir nicht wissen, ein ozean."(NEWTON, s.d.)

RESUMO

O crescente interesse por sistemas de geração distribuída, em especial, os formados por fontes de energia renováveis, fomenta os estudos de conversores c.c./c.c. com alto ganho de tensão. Em aplicações fotovoltaicas com microinversores e otimizadores de potência conectados em paralelo, se faz necessário elevar a tensão para conectar o módulo a rede. Sendo assim, esta tese propõe uma família de conversores c.c./c.c. de alto ganho com única chave semicondutora. A variação das topologias é obtida com a modificação nas posições dos capacitores e o alto ganho é atingido através do acoplamento magnético. Os circuitos grampeadores reduzem os esforços de tensão na chave, possibilitando o uso de MOSFET com baixa resistência interna. Desta forma, as perdas por condução são minimizadas. Além disso, os diodos operam com comutação sob zero de corrente, eliminando as perdas por recuperação reversa. O princípio de funcionamento dos conversores, as etapas de operação, as principais formas de onda e os esforços nos componentes são analisados para o modo de condução contínua. Após análise comparativa com topologias similares encontradas na literatura recente, observou-se que os conversores propostos possuem esforços de tensão reduzidos nos semicondutores e alto ganho para ciclo de trabalho intermediário e baixa relação de transformação. Um protótipo de potência nominal de 140 W foi desenvolvido para avaliar o desempenho das topologias propostas. A eficiência a carga plena é de 91,84 % e a eficiência máxima 93,77 % foi atingida com 51,27 W.

Palavras-chave: conversores de alto ganho; comutação sob zero de corrente; acoplamento magnético.

ABSTRACT

The growing interest in distributed generation systems, especially for renewable energy sources, encourages further research works on DC-DC converters. In photovoltaic applications that use microinverters and power optimizers connected in parallel, it is necessary to increase the voltage to connect the module to the network. Thus, this thesis proposes a family of high step-up DC-DC converters with single switch. The variation of topologies is obtained by modifying the positions of the capacitors and the high gain is achieved through magnetic coupling. The passive clamp circuit reduces the voltage stress across the switch, allowing the use of low $R_{DS_{on}}$ MOSFET. This leads to low conduction loss of the switch. In addition, the diodes operate with zero-current switching at their turn-off transition, eliminating the reverse recovery losses. The operation principle, steady-state analysis, the main waveforms and the voltage stresses across components are presented. After comparative analysis of similar topologies found in recent literature, it was observed that the proposed converters have reduced voltage efforts in the semiconductors and high gain for intermediate duty cycle and low transformation ratio. A prototype with rated power of 140W is built to evaluate the performance of the proposed topologies. The highest efficiency obtained is 93.77 % at 51.27 W, while at full load, the efficiency is 91.84 %.

Keywords: high step-up DC–DC converters; zero current switching; magnetic coupling.

LISTA DE FIGURAS

Figura 1 – Crescimento da distribuição das fontes primárias na demanda global de energia	22
Figura 2 – Crescimento da geração solar fotovoltaica	23
Figura 3 – Módulos fotovoltaicos conectados em série (<i>string</i>) com inversor central . .	25
Figura 4 – Arquiteturas dos conversores c.c./c.c.	26
Figura 5 – Conversor <i>boost</i> convencional	31
Figura 6 – Técnicas de alto ganho	31
Figura 7 – Conversor <i>boost</i> em cascata	32
Figura 8 – Conversor <i>boost</i> quadrático	32
Figura 9 – Conversor <i>boost</i> quadrático com três níveis	33
Figura 10 – Conversores <i>boost</i> baseados na configuração em cascata	33
Figura 11 – Conversores <i>boost</i> IPOS	36
Figura 12 – Conversores com estruturas modulares	40
Figura 13 – Conversor generalizado com CMT	41
Figura 14 – Exemplos de células multiplicadora de tensão	42
Figura 15 – Conversor proposto por Baddipadiga e Ferdowsi (2017)	43
Figura 16 – Conversor proposto por Li et al. (2017)	44
Figura 17 – Conversor generalizado com UET	45
Figura 18 – Exemplos de unidades elevadoras de tensão	46
Figura 19 – Conversores com indutor acoplado de dois enrolamentos	48
Figura 20 – Conversores com indutor acoplado de três enrolamentos	51
Figura 21 – Análise comparativa das técnicas de alto ganho	55
Figura 22 – Conversores com modificação na conexão dos capacitores	57
Figura 23 – Família de conversores propostos	59
Figura 24 – Circuito equivalente do conversor tipo 1	60
Figura 25 – Etapas de operação do conversor tipo 1	61
Figura 26 – Principais formas de onda nos indutores	68
Figura 27 – Principais formas de onda nos semicondutores	69
Figura 28 – Principais formas de onda nos capacitores	70
Figura 29 – Circuito equivalente do conversor tipo 2	79
Figura 30 – Etapas de operação do conversor tipo 2	79
Figura 31 – Principais formas de onda nos indutores	85
Figura 32 – Principais formas de onda nos semicondutores	86
Figura 33 – Principais formas de onda nos capacitores	87
Figura 34 – Circuito equivalente do conversor tipo 3	89
Figura 35 – Etapas de operação do conversor tipo 3	89
Figura 36 – Principais formas de onda nos indutores	95
Figura 37 – Principais formas de onda nos semicondutores	96

Figura 38 – Principais formas de onda nos capacitores	97
Figura 39 – Sistema Fotovoltaico	99
Figura 40 – Curvas de ganho estático pelo ciclo de trabalho	100
Figura 41 – Corrente no capacitor C_1 do conversor tipo 1	102
Figura 42 – Corrente no capacitor C_1 do conversor tipo 2	103
Figura 43 – Corrente no capacitor C_2 do conversor tipo 1	103
Figura 44 – Corrente no capacitor C_2 do conversor tipo 3	104
Figura 45 – Corrente no capacitor C_o	105
Figura 46 – Modelo térmico	106
Figura 47 – Tensões de entrada e de saída	108
Figura 48 – Formas de onda dos capacitores com carga plena.	108
Figura 49 – Principais formas de onda dos conversores propostos com carga plena . . .	109
Figura 50 – Principais formas de onda dos conversores propostos com meia carga	111
Figura 51 – Principais formas de onda dos conversores propostos com $V_{in} = 30\text{ V}$. . .	112
Figura 52 – Relação das perdas no núcleo do indutor acoplado pela frequência	118
Figura 53 – Topologias selecionadas para análise comparativa	119
Figura 54 – Comparação do ganho de tensão	122
Figura 55 – Comparação do esforço de tensão nas chaves semicondutoras	123
Figura 56 – Comparação do esforço de tensão nos diodos	124
Figura 57 – Comparação do esforço de tensão nos capacitores	124
Figura 58 – Visão geral do protótipo	126
Figura 59 – Janela superior: sinal de gatilho $V_g(5\text{ V/div})$; Janela inferior: tensão de saída $V_o(50\text{ V/div})$ e tensão de entrada $V_{in}(5\text{ V/div})$	127
Figura 60 – Tensão na chave $V_S(10\text{ V/div})$ e corrente na chave $i_S(5\text{ A/div})$	128
Figura 61 – Janela superior: tensão no diodo $V_{D_1}(10\text{ V/div})$ e corrente no diodo $i_{D_1}(2\text{ A/div})$; Janela inferior: tensão no diodo $V_{D_4}(10\text{ V/div})$ e corrente no diodo $i_{D_4}(2\text{ A/div})$	129
Figura 62 – Janela superior: tensão no diodo $V_{D_2}(50\text{ V/div})$ e corrente no diodo $i_{D_2}(1\text{ A/div})$; Janela inferior: tensão no diodo $V_{D_3}(50\text{ V/div})$ e corrente no diodo $i_{D_3}(1\text{ A/div})$	129
Figura 63 – Corrente no enrolamento primário $i_{N_1}(5\text{ A/div})$, corrente na indutância de dispersão $i_{L_k}(5\text{ A/div})$ e corrente na indutância de magnetização $i_{L_m}(5\text{ A/div})$	130
Figura 64 – Corrente na indutância de saída $i_{L_o}(0,5\text{ A/div})$ e tensão na indutância de saída $V_{L_o}(20\text{ V/div})$	131
Figura 65 – Janela superior: sinal de gatilho $V_g(5\text{ V/div})$; Janela inferior: tensão de saída $V_o(50\text{ V/div})$ e tensão de entrada $V_{in}(5\text{ V/div})$	131
Figura 66 – Tensão na chave $V_S(10\text{ V/div})$ e corrente na chave $i_S(5\text{ A/div})$	132

Figura 67 – Janela superior: tensão no diodo V_{D_1} (10 V/div) e corrente no diodo i_{D_1} (2 A/div); Janela inferior: tensão no diodo V_{D_4} (10 V/div) e corrente no diodo i_{D_4} (2 A/div)	132
Figura 68 – Janela superior: tensão no diodo V_{D_2} (20 V/div) e corrente no diodo i_{D_2} (0,5 A/div); Janela inferior: tensão no diodo V_{D_3} (20 V/div) e corrente no diodo i_{D_3} (0,5 A/div)	133
Figura 69 – Corrente no enrolamento primário i_{N_1} (5 A/div), corrente na indutância de dispersão i_{L_k} (5 A/div) e corrente na indutância de magnetização i_{L_m} (5 A/div)	133
Figura 70 – Corrente na indutância de saída i_{L_o} (0,5 A/div) e tensão na indutância de saída V_{L_o} (20 V/div)	134
Figura 71 – Janela superior: tensão de entrada V_{in} (2 V/div); Janela do meio: tensão de saída V_o (50 V/div). Janela inferior: a corrente de saída I_o (100 mA/div) . .	134
Figura 72 – Janela superior: tensão de entrada V_{in} (2 V/div); Janela do meio: tensão de saída V_o (50 V/div). Janela inferior: a corrente de saída I_o (100 mA/div) . .	135
Figura 73 – Ensaio de eficiência para ciclos de trabalho distintos	135
Figura 74 – Ensaio de eficiência para variação de carga	136
Figura 75 – Modelo do MOSFET com diferentes cargas	147
Figura 76 – Curvas de tensão, corrente e potência com diferentes cargas	148

LISTA DE TABELAS

Tabela 1	–	Resumo comparativo das técnicas de alto ganho	54
Tabela 2	–	Etapas de operação do conversor em um período de chaveamento	60
Tabela 3	–	Valores dos parâmetros e componentes utilizados na simulação	107
Tabela 4	–	Valores calculados para os conversores propostos com carga plena	107
Tabela 5	–	Valores calculados para os conversores propostos com meia carga	110
Tabela 6	–	Valores calculados para os conversores propostos com $V_{in} = 30\text{ V}$	112
Tabela 7	–	Perdas nos conversores propostos	117
Tabela 8	–	Resumo comparativo com topologias similares	122
Tabela 9	–	Especificações elétricas do protótipo	127

LISTA DE ABREVIATURAS E SIGLAS

ANEEL	Agência Nacional de Energia Elétrica
c.a.	Corrente Alternada
c.c.	Corrente Contínua
CMT	Célula multiplicadora de tensão
MOSFET	<i>Metal-oxide-semiconductor field effect</i>
ESR	<i>Equivalent Series Resistance</i>
FC	capacitor flutuante (<i>Flying Capacitor</i>)
FV	Fotovoltaico
GD	Geração Distribuída
IPOS	<i>Input-parallel and output-series</i>
LKC	Lei de Kirchhoff das correntes
LKT	Lei de Kirchhoff das tensões
MCC	Modo de condução contínua
MME	Ministério de Minas e Energia
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
MPPT	<i>Maximum Power Point Tracker</i>
ProGD	O programa de desenvolvimento da geração distribuída
Proinfa	Programa de incentivo às fontes alternativas
STC	<i>Standard Test Conditions</i>
Tep	Tonelada equivalente de petróleo
UET	Unidade elevadora de tensão
VSI	<i>Voltage source inverter</i>
ZCS	Comutação sob corrente nula (<i>Zero Current Switching</i>)
ZVS	Comutação com tensão nula (<i>Zero Voltage Switching</i>)

LISTA DE SÍMBOLOS

α	Constante relacionada ao valor de R_{DSon}
A_e	Área da Secção Transversal do Núcleo
A_l	Fator de Indutância
A_w	Área da Janela do Núcleo
B_{max}	Fluxo Magnético Máximo
C_{in}	Capacitor de entrada
D	Ciclo de trabalho (Razão cíclica)
d_1	Duração da Etapa 1
d_2	Duração da Etapa 2
d_3	Duração da Etapa 3
d_4	Duração da Etapa 4
E_{fcal}	Eficiência calculada a partir das perdas totais
E_{SW}	Energia total dissipada durante o chaveamento da chave semicondutora
$E_{SW(on)}$	Energia dissipada durante o disparo da chave semicondutora
$E_{SW(off)}$	Energia dissipada durante o bloqueio da chave semicondutora
f_s	Frequência de chaveamento
f	Fator de segurança
g	Comprimento do Entreferro
g_m	Transcondutância do MOSFET
I_{DS}	Corrente do dreno-fonte
I_{DSrms}	Valor eficaz da corrente eficaz dreno-fonte
i_{D1}	Valor da corrente no diodo D_1
I_{D1}	Valor médio da corrente no diodo D_1
$\hat{i}_{D1}$	Valor de pico da corrente no diodo D_1
i_{D2}	Valor da corrente no diodo D_2
I_{D2}	Valor médio da corrente no diodo D_2
$\hat{i}_{D2}$	Valor de pico da corrente no diodo D_2
i_{D3}	Valor da corrente no diodo D_3
I_{D3}	Valor médio da corrente no diodo D_3
$\hat{i}_{D3}$	Valor de pico da corrente no diodo D_3
i_{D4}	Valor da corrente no diodo D_4
I_{D4}	Valor médio da corrente no diodo D_4

$\hat{i}_{D_4}$	Valor de pico da corrente no diodo D_4
$i_{D_1,4,rms}$	Valor eficaz da corrente no diodo D_1 e D_4
$i_{D_2,3,rms}$	Valor eficaz da corrente no diodo D_2 e D_3
i_{L_k}	Valor da corrente no indutor de dispersão
I_{L_k}	Valor médio da corrente no indutor de dispersão
$\hat{i}_{L_k}$	Valor de pico da corrente no indutor de dispersão
$i_{L_k,min}$	Valor mínimo da corrente no indutor de dispersão
i_{L_m}	Valor da corrente no indutor de magnetização
I_{L_m}	Valor médio da corrente no indutor de magnetização
$\hat{i}_{L_m}$	Valor de pico da corrente no indutor de magnetização
$i_{L_m,min}$	Valor mínimo da corrente no indutor de magnetização
i_{L_o}	Valor da corrente no indutor L_o
I_{L_o}	Valor médio da corrente no indutor L_o
$\hat{i}_{L_o}$	Valor de pico da corrente no indutor L_o
$i_{L_o,min}$	Valor mínimo da corrente no indutor L_o
I_{N_1}	Valor médio da corrente no enrolamento primário
$\hat{i}_{N_1}$	Valor médio da corrente no enrolamento primário
I_{N_2}	Valor médio da corrente no enrolamento secundário
I_{N_3}	Valor médio da corrente no enrolamento terciário
I_o	Valor médio da corrente de saída
i_S	Valor da corrente na chave
I_S	Valor médio da corrente na chave
$i_{S,rms}$	Valor eficaz da corrente na chave
i_{rms}	Valor eficaz da corrente
I_{rms_1}	Valor eficaz da corrente no enrolamento primário
I_{rms_2}	Valor eficaz da corrente no enrolamento secundário
I_{rms_3}	Valor eficaz da corrente no enrolamento terciário
J_{max}	Densidade de corrente máxima
k	Acoplamento magnético
l_c	Comprimento médio do caminho percorrido pelo fluxo
l_{espira}	Comprimento médio de uma espira
L_m	Indutância de magnetização
L_k	Indutância de dispersão

M	Ganho estático ideal
M_{MMC}	Ganho estático no modo de condução contínua
n	Relação de transformação
N_1	Número de espiras do enrolamento primário
N_2	Número de espiras do enrolamento secundário
N_3	Número de espiras do enrolamento terciário
P_C	Perdas de condução no capacitor
P_{cobre}	Perdas no cobre do indutor acoplado
P_{con}	Perdas de condução na chave semicondutora
$P_{D_{con}}$	Perdas de condução no diodo
$P_{D_{SW}}$	Perdas totais por chaveamento no diodo
P_{L_o}	Perdas de condução no indutor L_o
P_{nucleo}	Perdas no núcleo do indutor acoplado
P_S	Perdas totais na chave semicondutora
P_{SW}	Perdas totais por chaveamento na chave semicondutora
$P_{SW(on)}$	Perdas de disparo na chave semicondutora
$P_{SW(off)}$	Perdas de bloqueio na chave semicondutora
P_{totais}	Perdas totais no conversor c.c./c.c.
$R_{D_{Son}}$	Resistência interna do MOSFET
$R_{D_{SonMAX}}$	Resistência interna máxima do MOSFET
R_G	Resistência externa da porta do MOSFET
R_{Gate}	Resistência interna da porta do MOSFET
S_{cobre}	Área do Cobre
S_{1cu}	Área da secção transversal do fio de cobre do enrolamento primário
S_{2cu}	Área da secção transversal do fio de cobre do enrolamento secundário
S_{3cu}	Área da secção transversal do fio de cobre do enrolamento terciário
T_a	Temperatura do ambiente
T_d	Temperatura do dissipador
T_f	Tempo de descida (do inglês - <i>Fall time</i>)
T_{fv}	Tempo de descida da tensão (do inglês - <i>Voltage-fall time</i>)
T_j	Temperatura da junção
T_{on}	Período em que a chave é ligada
T_{off}	Período em que a chave é desligada

T_r	Tempo de subida (do inglês - <i>Rise time</i>)
T_{rv}	Tempo de subida da tensão (do inglês - <i>Voltage-rise time</i>)
T_s	Período de chaveamento
V_{DS}	Tensão dreno-fonte
V_{Driver}	Tensão de gatilho
$V_{D1,4,e4}$	Valor da tensão em D_1 e D_4 durante a etapa 4
$V_{D1,4,e4,t2}$	Valor da tensão em D_1 e D_4 durante a etapa 4 do conversor tipo 2
$V_{D1,4,t3}$	Valor da tensão em D_1 e D_4 em T_{on} do conversor tipo 3
$V_{D1,4,e4,t3}$	Valor da tensão em D_1 e D_4 durante a etapa 4 do conversor tipo 3
$V_{D2,3,e2}$	Valor da tensão em D_2 e D_3 durante a etapa 2
$V_{D2,3,e2,t2}$	Valor da tensão em D_2 e D_3 durante a etapa 2 do conversor tipo 2
$V_{D1,max}$	Valor máximo da tensão no diodo D_1
$V_{D2,max}$	Valor máximo da tensão no diodo D_2
$V_{D3,max}$	Valor máximo da tensão no diodo D_3
$V_{D4,max}$	Valor máximo da tensão no diodo D_4
V_{DCmin}	Tensão mínima do barramento c.c
V_{GS}	Tensão porta-fonte
V_g	Tensão de gatilho
V_{in}	Valor médio da tensão de entrada do conversor c.c./c.c.
$V_{L_k,e1}$	Valor da tensão no indutor de dispersão durante a etapa 1
$V_{L_k,e3}$	Valor da tensão no indutor de dispersão durante a etapa 3
$V_{L_k,e3,t3}$	Valor da tensão no indutor de dispersão durante a etapa 3 do conversor tipo 3
$V_{L_o,on}$	Valor da tensão no indutor L_o em T_{on}
$V_{L_o,on,t3}$	Valor da tensão no indutor L_o em T_{on} do conversor tipo 3
$V_{L_o,e3}$	Valor da tensão no indutor L_o durante a etapa 3
$V_{L_o,e3,t2}$	Valor da tensão no indutor L_o durante a etapa 3 do conversor tipo 2
$V_{L_o,e3,t3}$	Valor da tensão no indutor L_o durante a etapa 3 do conversor tipo 3
$V_{L_o,e4}$	Valor da tensão no indutor L_o durante a etapa 4
$V_{L_o,e4,t2}$	Valor da tensão no indutor L_o durante a etapa 4 do conversor tipo 2
$V_{L_o,e4,t3}$	Valor da tensão no indutor L_o durante a etapa 4 do conversor tipo 3
V_o	Tensão de saída do conversor c.c./c.c.
$V_{Plateau}$	Tensão de Platô
V_{RMS}	Valor eficaz da tensão

$V_{S,e4}$	Valor da tensão na chave durante a etapa 4
$V_{S,e4,t2}$	Valor da tensão na chave durante a etapa 4 do conversor tipo 2
$V_{S,max}$	Valor máximo da tensão na chave
V_{TH}	Limiar de tensão
W	Watt
Wh	Watt-hora
Wp	Watt-pico
ΔB	Variação do fluxo
ΔQ	Variação da carga do capacitor
δ_{skin}	Profundidade pelicular
ΔT	Variação da temperatura
$\mu_{o,min}$	Valor ótimo da permeabilidade efetiva do núcleo
ρ_{fio}	Resistividade do fio

SUMÁRIO

1	INTRODUÇÃO	21
1.1	PANORAMA ENERGÉTICO NO BRASIL E NO MUNDO	22
1.2	ARQUITETURAS DOS SISTEMAS FOTOVOLTAICOS	24
1.3	MOTIVAÇÃO	27
1.4	OBJETIVOS DA TESE DE DOUTORADO	28
1.5	ORGANIZAÇÃO TEXTUAL	28
2	ESTADO DA ARTE EM CONVERSORES C.C./C.C. DE ALTO GANHO	30
2.1	INTRODUÇÃO	30
2.2	CLASSIFICAÇÃO DOS CONVERSORES C.C./C.C.	30
2.2.1	Múltiplos estágios	31
2.2.1.1	Conexão em cascata	32
2.2.1.2	Conversores com entrada em paralelo e saída em série (IPOS)	35
2.2.1.3	Modularização	39
2.2.2	Célula multiplicadora de tensão	41
2.2.3	Unidade elevadora de tensão	44
2.2.4	Acoplamento magnético	46
2.2.4.1	Transformador	47
2.2.4.2	Indutor acoplado	47
2.3	CONCLUSÃO	54
3	FAMÍLIA DE CONVERSORES DE ALTO GANHO COM CHAVE ÚNICA	57
3.1	INTRODUÇÃO	57
3.2	ANÁLISE DAS TOPOLOGIAS PROPOSTAS	58
3.2.1	Conversor tipo 1	60
3.2.1.1	Etapa 1	61
3.2.1.2	Etapa 2	63
3.2.1.3	Etapa 3	64
3.2.1.4	Etapa 4	66
3.2.1.5	Operação em regime permanente	68
3.2.1.5.1	<i>Ganho de tensão</i>	72
3.2.1.5.2	<i>Esforços de corrente média e máxima</i>	73
3.2.1.5.3	<i>Esforços sobre os semicondutores</i>	76
3.2.1.6	Condições para Comutação Suave	78
3.2.1.6.1	<i>ZCS na entrada em condução de S</i>	78
3.2.1.6.2	<i>ZCS no bloqueio de D_1 e D_4</i>	78
3.2.1.6.3	<i>ZCS no bloqueio de D_2 e D_3</i>	78
3.2.2	Conversor tipo 2	79
3.2.2.1	Etapa 1	80
3.2.2.2	Etapa 2	81
3.2.2.3	Etapa 3	82
3.2.2.4	Etapa 4	83

3.2.2.5	Operação em regime permanente	84
3.2.2.5.1	<i>Ganho de tensão</i>	86
3.2.2.5.2	<i>Esforços de corrente média e máxima</i>	88
3.2.2.5.3	<i>Esforços sobre os semicondutores</i>	88
3.2.2.6	Condições para Comutação Suave	88
3.2.3	Conversor tipo 3	88
3.2.3.1	Etapa 1	90
3.2.3.2	Etapa 2	91
3.2.3.3	Etapa 3	91
3.2.3.4	Etapa 4	93
3.2.3.5	Operação em regime permanente	94
3.2.3.5.1	<i>Ganho de tensão</i>	95
3.2.3.5.2	<i>Esforços de corrente média e máxima</i>	97
3.2.3.5.3	<i>Esforços sobre os semicondutores</i>	98
3.2.3.6	Condições para Comutação Suave	98
3.3	PROJETO DOS COMPONENTES	98
3.3.1	Requisitos de projeto	98
3.3.2	Relação de transformação	99
3.3.3	Indutância de magnetização	100
3.3.4	Projeto do indutor acoplado	101
3.3.5	Projeto do indutor de saída	101
3.3.6	Projeto dos capacitores	101
3.3.7	Projeto térmico do MOSFET	105
3.4	RESULTADOS SIMULADOS	106
3.5	CONCLUSÃO	113
4	ANÁLISE COMPARATIVA	114
4.1	ESTUDO DE PERDAS	114
4.1.1	Perdas no MOSFET	114
4.1.2	Perdas no diodo	115
4.1.3	Perdas nos capacitores	115
4.1.4	Perdas no indutor L_o	116
4.1.5	Perdas no indutor acoplado	116
4.1.6	Eficiência	117
4.1.7	Resultados das perdas	117
4.2	COMPARAÇÃO DE DESEMPENHO	118
4.3	CONCLUSÃO	125
5	RESULTADOS EXPERIMENTAIS	126
5.1	INTRODUÇÃO	126
5.2	DESCRIÇÃO DA MONTAGEM	126
5.3	PRINCIPAIS FORMAS DE ONDA	126
5.4	EFICIÊNCIA	135
5.5	CONCLUSÃO	136

6	CONCLUSÃO E TRABALHOS FUTUROS	137
6.1	TRABALHOS FUTUROS	138
6.2	PUBLICAÇÕES	138
	REFERÊNCIAS	139
	APÊNDICE A – PROJETO DO INDUTOR ACOPLADO	145
	APÊNDICE B – PERDAS DE CHAVEAMENTO NO MOSFET	147
	APÊNDICE C – CÓDIGOS PARA CÁLCULO DE PERDAS	151
	ANEXO A – INFORMAÇÕES DO FABRICANTE - MOSFET	155
	ANEXO B – INFORMAÇÕES DO FABRICANTE - DIODOS	157
	ANEXO C – INFORMAÇÕES DO FABRICANTE - NÚCLEO TOROIDAL	159
	ANEXO D – INFORMAÇÕES DO FABRICANTE - FIO <i>LITZ</i>	160

1 INTRODUÇÃO

O crescimento da demanda energética mundial fomenta a necessidade de recursos energéticos renováveis. Destaca-se entre esses, a geração solar fotovoltaica. Nessa aplicação, a conexão entre os módulos fotovoltaicos e a rede é realizada através do bloco condicionador de energia. Este bloco pode ser formado por conversores c.c./c.c. (corrente contínua) e c.c./c.a. (corrente alternada).

Otimizadores solares e microinversores são duas arquiteturas populares na geração solar. Essas arquiteturas possibilitam que os painéis solares não sejam ligados diretamente ao inversor c.c./c.a., podendo ser conectadas em paralelo e em série. Os microinversores atuam substituindo os inversores. Já os otimizadores solares, também conhecidos como otimizadores de potência, são dispositivos cujo objetivo principal é maximizar a produção de energia de um sistema fotovoltaico. Assim, possibilitam realizar o rastreamento constantemente do ponto de potência máxima e monitorar o rendimento de cada módulo (TSAO, 2010; SILVA et al., 2019).

Quando a conexão dos otimizadores solares é em série, se comportam de maneira similar à arquitetura *string* tradicional com inversor central. Desta forma, não há necessidade de um estágio de conversão c.c./c.c. com alto ganho. Contudo, em aplicações com otimizadores solares conectados em paralelo e microinversores, é essencial que o conversor c.c./c.c. possua alto ganho de tensão, isto é, a tensão de saída deve ser pelo menos dez vezes maior que a de entrada (TSAO, 2010).

O conversor *boost* convencional possui limite de ganho estático, não sendo capaz de operar nestas condições devido ao elevado ciclo de trabalho (0,9) e ao aumento das perdas nos elementos semicondutores. Deste modo, se faz necessário o desenvolvimento de novas topologias de conversores c.c./c.c..

Esta tese tem como objetivo propor uma família de conversores c.c./c.c. de alto ganho para sistemas fotovoltaicos. Para tal fim, foram estudadas as técnicas de alto ganho mais relevantes. Também foram apresentadas as principais topologias encontradas na literatura. Desta forma, viabilizou a análise comparativa das topologias propostas com as demais.

Neste capítulo, é abordada uma análise do uso de fontes renováveis para geração de energia elétrica, em especial a solar fotovoltaica. São apresentados: o panorama energético no Brasil e no mundo; os principais desafios na aplicação de sistemas fotovoltaicos; e as arquiteturas utilizadas.

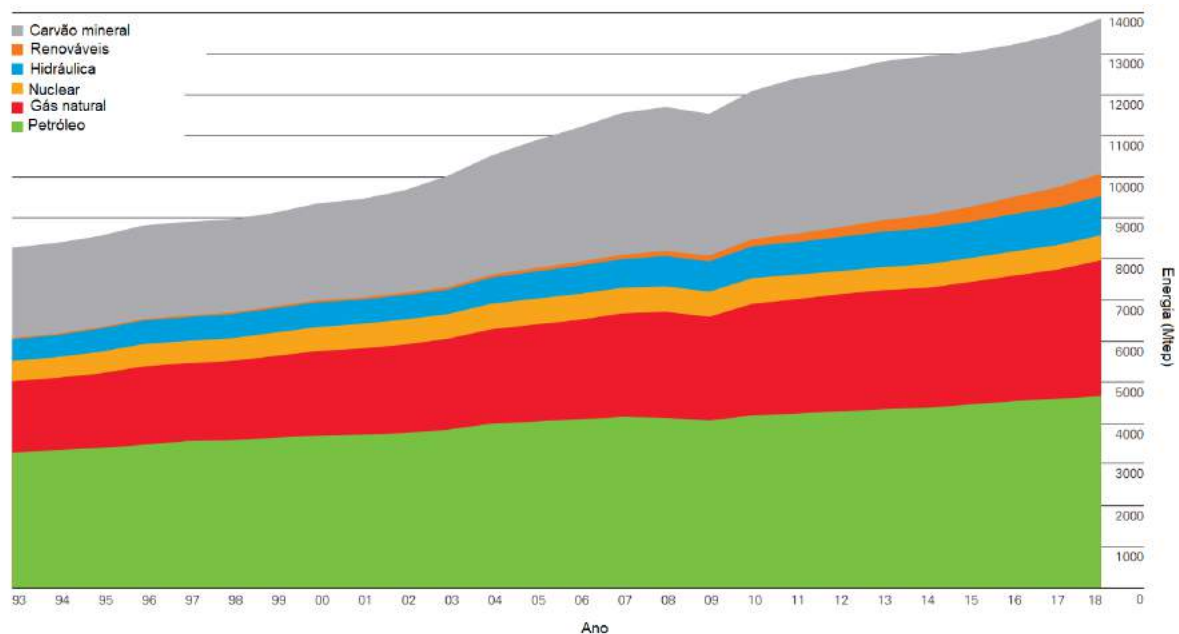
Os capítulos seguintes abordam o estado da arte de conversores c.c./c.c., as topologias propostas, a análise comparativa com conversores similares e os resultados experimentais. Por fim, são apresentadas a conclusão e as sugestões de trabalhos futuros.

1.1 PANORAMA ENERGÉTICO NO BRASIL E NO MUNDO

A demanda energética mundial aumentou nos últimos anos devido a diversos fatores, dentre eles destacam-se: o aumento da população e a produção de bens de consumo em larga escala. Desta forma, percebe-se que o consumo de energia é diretamente proporcional ao contingente populacional e ao desenvolvimento econômico do país.

A Figura 1 mostra o crescimento da distribuição das fontes primárias na demanda de energia total ao longo dos anos, segundo análise estatística da empresa BP (2019). A energia é definida em tonelada equivalente de petróleo (tep), isto é, o valor calórico de uma tonelada de petróleo cru.

Figura 1 – Crescimento da distribuição das fontes primárias na demanda global de energia



Fonte: Adaptada de BP (2019).

Observa-se que o uso de fontes energéticas oriundas de combustíveis fósseis ainda representa grande percentual da demanda global. O emprego destas fontes resulta no aumento da emissão de gases como o monóxido de carbono. Ainda, além de poluentes, essas fontes não são renováveis. As suas reservas são esgotáveis e a extinção dessas é uma realidade.

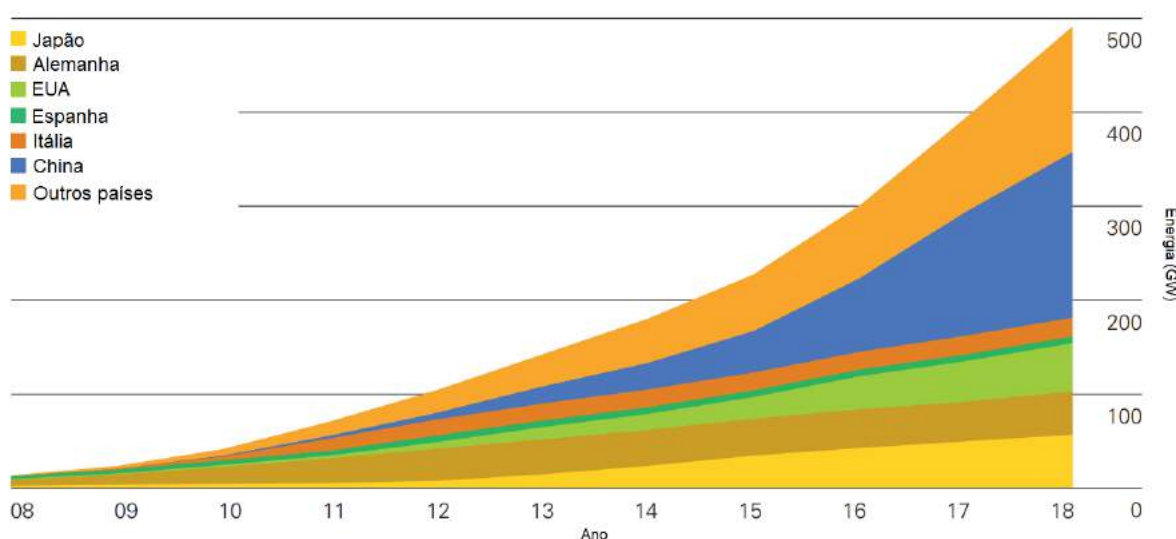
Os estudos sobre potencial dos recursos energéticos alertam sobre oferta a longo prazo para suprir a demanda mundial. A necessidade de utilizar recursos que produzam energia limpa e renovável é o principal argumento em prol da diversificação dos recursos energéticos. Deste modo, o uso de fontes renováveis, tais como, solar, eólica, biomassa e células a combustíveis vem crescendo nas últimas décadas (EPE, 2018).

O sistema fotovoltaico é a tecnologia mais popular na geração elétrica renovável devido aos generosos subsídios à fonte. Os painéis solares são responsáveis pela conversão direta da luz solar em energia elétrica. Esses podem ser instalados em grandes centros ou em regiões

afastadas, sem geração de ruído ou emissão de gases poluentes. Assim, possuem baixo impacto ambiental e permitem flexibilidade na geração, podendo ser utilizados de forma centralizada, em grandes plantas geradoras, ou distribuída, em áreas residenciais (EPE, 2018).

A Figura 2 apresenta o crescimento da geração solar fotovoltaica no mundo, ressaltando os países líderes. O aumento indica grande potencial de utilização em todo o mundo. O potencial técnico da geração solar fotovoltaica no Brasil é enorme, uma vez que praticamente todo território brasileiro é propício ao aproveitamento solar. Mesmo as áreas com a menor potencial possuem irradiância mais elevada que os melhores locais da Alemanha, um dos países líderes em capacidade instalada fotovoltaica (EPE, 2018).

Figura 2 – Crescimento da geração solar fotovoltaica



Fonte: Adaptada de BP (2019).

Segundo o Plano Nacional de Energia 2050, estima-se que há a possibilidade de instalação de 307 GWp em centrais fotovoltaicas, com geração aproximada de 506 TWh/ano. Ainda, utilizando os telhados residenciais para geração distribuída tem-se potencial de 287,5 GWh/ano. Assim, pode-se considerar como inexistente a limitação física para massiva inserção de sistemas fotovoltaicos no país (EPE, 2018).

Devido a esse potencial, é essencial a elaboração de políticas públicas favoráveis ao crescimento da geração solar fotovoltaica. Em 2002, foi criado o programa de incentivo às fontes alternativas (Proinfa) pela Lei nº 10.438/2002. O objetivo do Proinfa é aumentar a participação de fontes alternativas renováveis na produção de energia elétrica, privilegiando empreendedores que não tenham vínculos societários com concessionárias de geração, transmissão ou distribuição.

Em 2012, a Agência Nacional de Energia Elétrica (ANEEL) aprovou resolução normativa 428/2012. Nesta, são estabelecidas as condições gerais para o acesso de micro e minigeração aos sistemas de distribuição de energia elétrica. Ainda, determina as normativas para o sistema de compensação de energia elétrica, permitindo ao consumidor instalar pequenos geradores

solares fotovoltaicos em sua residência para a complementação do consumo próprio. Desta forma, reduz-se as barreiras para instalação da geração solar fotovoltaica no país (ANEEL, 2012).

Essa resolução é considerada um marco histórico e evolução de paradigma do setor elétrico brasileiro. O programa de desenvolvimento da geração distribuída (ProGD) entrou em vigor em 2015. Elaborado pelo Ministério de Minas e Energia (MME), ele tem como propósito estimular, por meio de diversas ações de apoio e incentivo, a geração de energia pelo consumidor, dando uma ênfase maior nos sistemas fotovoltaicos. Além dos incentivos do ProGD, alguns governos estaduais estabeleceram subsídios para fomentar a geração solar fotovoltaica. Destacam-se os estados de Mato Grosso e Pernambuco.

No início de 2019, A ANEEL realizou audiências públicas a fim de debater a regulação da energia solar fotovoltaica. A agência propôs a manutenção dos subsídios para consumidores que instalam painéis solares até que a fonte atinja um determinado marco no setor elétrico.

Por outro lado, a associação brasileira de distribuidores de energia elétrica, contrária a medida, afirma que a manutenção da política atual da geração distribuída é insustentável para o setor. As distribuidoras temem que, com o aumento exponencial de consumidores que geram a própria energia, o negócio das concessionárias seja prejudicado, com aumento de custo e, consequente, reflexo na tarifa rateada entre todos os brasileiros.

Os custos de fabricação e instalação do sistema fotovoltaico são essenciais para o crescimento da geração. Os subsídios da ANEEL asseguram parte da redução dos custos. Contudo, os custos relativos à instalação do sistema são inversamente proporcionais à energia gerada pelos painéis instalados, isto é, os custos por kWh são reduzidos com o aumento da energia gerada. Os conversores eletrônicos utilizados para conexão com a rede elétrica atuam na eficiência energética deste sistema. Ainda, é possível diminuir os custos com aumento do rendimento dos painéis. Por isso, o grande desafio para a eletrônica de potência é proporcionar o máximo aproveitamento de energia disponível nos painéis.

1.2 ARQUITETURAS DOS SISTEMAS FOTOVOLTAICOS

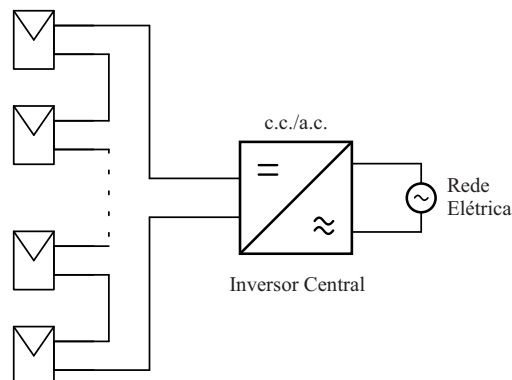
Os sistemas fotovoltaicos são constituídos, fundamentalmente, de um bloco gerador e um bloco de condicionamento de energia. O bloco gerador contém arranjos fotovoltaicos, formados por módulos em diferentes associações. O bloco de condicionamento pode ter conversores c.c./c.c. e c.c./c.a., dependendo da aplicação (GALDINO; PINHO, 2014).

A tensão de saída do bloco gerador é tipicamente tensão c.c. que varia com as condições de irradiância e temperatura. O conversor c.c./c.a. é responsável pela conexão com a rede de distribuição c.a.. Devido a tensão elevada requerida no barramento c.c. desses conversores, comumente empregados, é necessário o uso de conversores c.c./c.c. com elevado ganho estático e alto rendimento. Ainda, é possível a implementação de algoritmos que permitam extrair do painel solar a máxima potência disponível naquele instante e, com isso, obter o melhor rendimento do sistema (GALDINO; PINHO, 2014).

A conexão dos sistemas fotovoltaicos à rede elétrica é dividida em duas modalidades: centralizada e descentralizada. No sistema centralizado, há apenas um inversor principal, sendo aplicado em amplas centrais fotovoltaicas com grandes potências. Enquanto no sistema descentralizado, podem utilizar múltiplos estágios de conversão com intuito de melhorar o aproveitamento da energia gerada. A escolha entre essas conexões é determinada pela potência que se deseja instalar no sistema (MARKS; SUMMERS; BETZ, 2012).

A associação dos módulos fotovoltaicos pode ser em série e/ou paralelo. A Figura 3 ilustra a conexão em série centralizada, também chamada de *string*. Observa-se nesta associação um estágio único de conversão, barateando o custo e simplificando a manutenção do sistema. Esta configuração possui um único sistema de rastreamento de máxima potência (do inglês Maximum Power Point Tracker - MPPT) para toda *string*, ou seja, não há um MPPT distribuído para cada módulo fotovoltaico. Desta forma, apesar de amplamente utilizada, a potência de saída nesse arranjo é reduzida devido a sombreamentos parciais e incompatibilidades entre diferentes módulos utilizados (GALDINO; PINHO, 2014).

Figura 3 – Módulos fotovoltaicos conectados em série (*string*) com inversor central

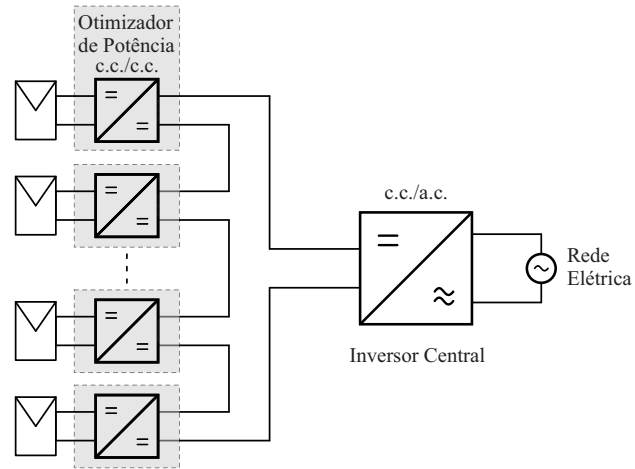


Fonte: A Autora (2021).

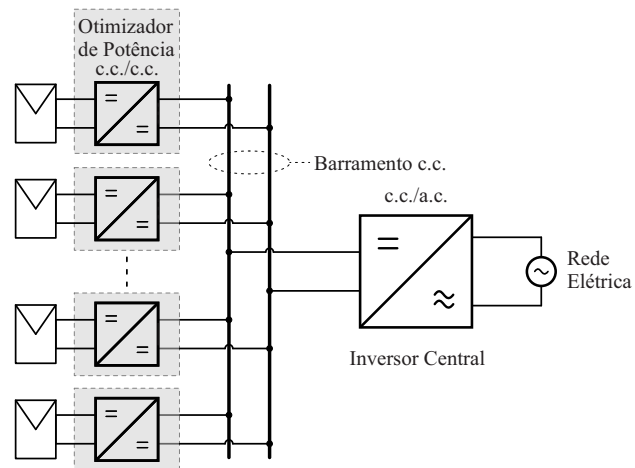
Os conversores c.c./c.c. podem ser associados através de três arquiteturas básicas descritas na Figura 4 (SCHMITZ, 2015):

Figura 4 – Arquiteturas dos conversores c.c./c.c.

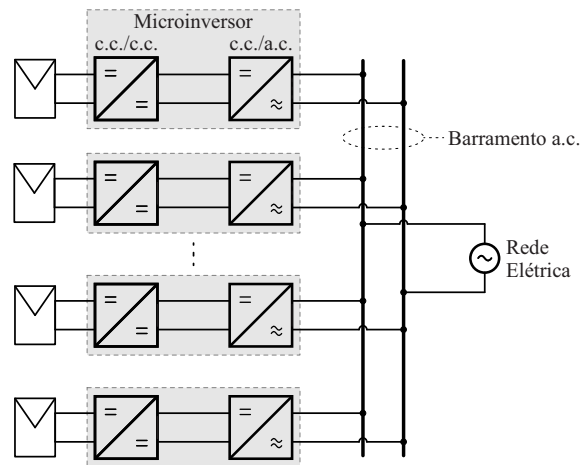
(a) Arquitetura I: Otimizadores de potência conectados em série



(b) Arquitetura II: Otimizadores de potência conectados em paralelo



(c) Arquitetura III: Microinversores



Fonte: Adaptada de Pereira et al. (2021).

- Arquitetura I - conversores c.c./c.c. interligados em série e conversor c.c./c.a. centralizado, conhecidos como otimizadores de potência conectados em série;

- Arquitetura II - conversores c.c./c.c. conectados em paralelo e conversor c.c./c.a. centralizado, denominados de otimizadores de potência conectados em paralelo;
- Arquitetura III - conversores c.c./c.c. vinculados a conversores c.c./c.a. individuais, constituindo os chamados microinversores.

A arquitetura I, ilustrada na Figura 4(a), utiliza otimizadores de potência conectados em série. Essa arquitetura pode ser implantada em uma sequência de módulos fotovoltaicos. Desta forma, possui conexão similar a *string* tradicional, contudo apresenta conversores c.c./c.c. individuais para cada *string*, sendo assim conhecida por *multi-string*.

A utilização de conversores c.c./c.c. permite implantação de sistema de rastreamento de potência para cada módulo ou *string* separadamente - denominado de MPPT distribuído. Devido a conexão em série não se faz necessário uso de conversores c.c./c.c. de alto ganho. Apesar desta vantagem, em casos severos de incompatibilidade ou de sombreamento dos módulos, existe a possibilidade de os conversores c.c./c.c. não manterem a tensão mínima de operação do conversor c.c./c.a..

As arquiteturas II e III, representadas nas Figuras 4(b) e 4(c), são utilizadas em aplicações de média e baixa potência. Apesar dos módulos se conectarem paralelamente em ambas arquiteturas, os otimizadores de potência apresentam um estágio único e centralizado de conversão c.c./c.a. Enquanto os microinversores são compostos por dois estágios de conversão de energia. Assim, convertem diretamente a tensão c.c. para c.a..

Em consequência da conexão paralela dos módulos, é necessário que o conversor c.c./c.c. seja de alto ganho. Estas configurações apresentam como vantagens em relação a arquitetura I: melhor extração de energia do módulo bem como maior flexibilidade e modularidade (SCHMITZ, 2015).

1.3 MOTIVAÇÃO

O crescente interesse por sistemas de geração distribuída, em especial, os formados por fontes de energia renováveis, vem fomentando os estudos de conversores c.c./c.c. com alto ganho de tensão. Em aplicações fotovoltaicas, conforme abordado anteriormente, é necessário elevar a tensão para conectar o módulo à rede. O inversor comumente utilizado é o VSI (do inglês *Voltage Source Inverter*). Caso o módulo não gere a tensão necessária para alimentar o barramento do VSI, é necessário um estágio de ganho de tensão, comumente feito com um conversor c.c./c.c. *boost*.

Aplicações com otimizadores solares conectados em paralelo e microinversores possuem a inevitabilidade do estágio de conversão c.c./c.c. com alto ganho. O conversor *boost* convencional não é capaz de operar nestas condições. Este fato se deve a elevadas perdas nos componentes para um alto ganho, limitando o valor do ciclo de trabalho. Devido a esta limitação, aplica-se técnicas de alto ganho. Há várias técnicas de alto ganho apresentadas na literatura que

são definidas de acordo com o sistema e suas necessidades. Dentre elas, destaca-se o uso de acoplamento magnético, como o indutor acoplado. Este componente é capaz de elevar o ganho com flexibilidade no projeto. Contudo, há restrições em relação às perdas no núcleo magnético e nos enrolamentos e ao pico de tensão nos elementos semicondutores.

Portanto, é fundamental reduzir as perdas para aumentar o rendimento global dessas estruturas. Um dos mecanismos utilizados é a comutação suave. Esta técnica minimiza a potência dissipada durante o chaveamento dos semicondutores, reduzindo as perdas globais do conversor, principalmente dos que operam com frequência elevada. Assim, o desenvolvimento de novos conversores com essas características é um grande desafio. Neste contexto, a eletrônica de potência é importante, e está sendo empregada em larga escala para melhorar as condições do processamento de energia elétrica.

1.4 OBJETIVOS DA TESE DE DOUTORADO

No âmbito de sistemas fotovoltaicos, diversas áreas têm sido estudadas na literatura em busca de avanços e inovações. Dentre essas, destaca-se o estudo de novas topologias de conversores c.c./c.c. de alto ganho. Esse se faz essencial para integração com módulos fotovoltaicos, formando um sistema com menores perdas. Desta forma, o objetivo principal deste trabalho é propor uma nova família de conversores c.c./c.c. de alto ganho com chave única e indutor acoplado de três enrolamentos. Esta família possui operação com comutação suave sob corrente nula durante todo o intervalo de trabalho, limitando as perdas nos semicondutores. A tensão sobre estes componentes também é reduzida, possibilitando o uso de elementos com pequena resistência interna. Ainda, tem um número de componentes competitivo quando comparado a topologias com características similares. Os conversores propostos são aplicados a sistemas com otimizadores de potência e microinversores em paralelo. Ainda, baseados nessa motivação, lista-se a seguir os objetivos secundários desta Tese de Doutorado:

- Analisar o princípio de operação dos conversores e realizar sua análise matemática;
- Comprovar a competitividade e relevância das topologias propostas através de uma análise comparativa com conversores similares encontrados na literatura.

1.5 ORGANIZAÇÃO TEXTUAL

Estruturalmente, esta tese foi organizada em seis capítulos, incluindo o introdutório. Esses são apresentados de forma cronológica com a sequência de desenvolvimento das atividades.

- No capítulo 2, é realizada a revisão bibliográfica acerca das topologias de conversores c.c./c.c. com elevado ganho de tensão para aplicações fotovoltaicas, assim como o estudo das principais técnicas responsáveis pelos elevados ganho de tensão em conversores c.c./c.c.;

- No capítulo 3, apresentam-se os conversores c.c./c.c. propostos. O conversor proposto tipo 2 é escolhido para análise das etapas de operação e estudo em regime permanente, sendo mostradas as principais formas de onda, cálculo do ganho estático e esforços de tensão e corrente nos principais componentes.
- No capítulo 4, é realizado uma análise comparativa entre as topologias propostas a fim de observar suas semelhanças e diferenças. O modelo de cálculo para perdas também foi determinado para enriquecer esta análise. Ainda, o desempenho do conversor proposto tipo 2 foi comparado a outros conversores similares na literatura.
- No capítulo 5, O protótipo do conversor proposto é apresentado. Ainda, os resultados experimentais são descritos para validar a análise teórica e o projeto realizados.
- No capítulo 6, são abordadas as considerações sobre o estudo desenvolvido nesta tese, assim como as possibilidades futuras acerca do assunto.

2 ESTADO DA ARTE EM CONVERSORES C.C./C.C. DE ALTO GANHO

Este capítulo apresenta uma revisão bibliográfica, abordando as principais topologias dos conversores elevadores c.c./c.c. e as técnicas para elevar o ganho de tensão. Através desta revisão pretende-se compreender as vantagens e desvantagens de cada estratégia responsável pelos altos ganhos. Desta forma, será possível propor novas topologias combinando as técnicas e obtendo melhores resultados.

2.1 INTRODUÇÃO

Há na literatura um grande número de topologias c.c./c.c. com alto ganho e, consequentemente, diversos estudos de revisão sistemática. Nos últimos anos, trabalhos de classificação foram realizados por Amir et al. (2018), Forouzesh et al. (2017), Liu et al. (2016), Li e He (2011), Savakhande, Bhattar e Bhattar (2017), Paula et al. (2014) e Tofoli et al. (2015). Nos dois últimos, consideram-se apenas conversores não isolados, isto é, sem presença de transformadores.

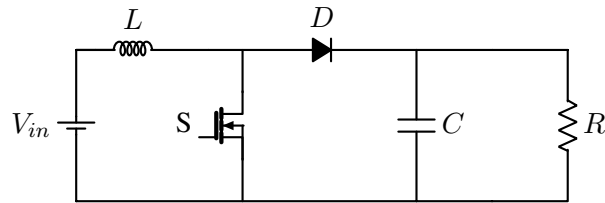
Esses dois estudos classificam as topologias de acordo com a relação entre o ciclo de trabalho (razão cíclica) e ganho estático. Enquanto, os outros trabalhos baseiam-se nas técnicas utilizadas para promover o alto ganho nos conversores c.c./c.c.. Dentre esses autores, apenas Amir et al. (2018), Paula et al. (2014), e Tofoli et al. (2015) realizaram um estudo comparativo entre as topologias. Ressalta-se também o estudo de Liu et al. (2016) para conversores c.c./c.c. com indutores acoplados. A análise é realizada com base nas vantagens do elemento magnético nas topologias estudadas e na combinação com outras técnicas de alto ganho.

Para permitir melhor visão dos conversores estudados, este capítulo apresenta uma organização onde as topologias são caracterizadas pela técnica de alto ganho aplicada, assim como, suas vantagens e desvantagens. Para cada classe, são apresentadas as principais soluções da literatura.

2.2 CLASSIFICAÇÃO DOS CONVERSORES C.C./C.C.

O conversor *boost* convencional, ilustrado na Figura 5, é, teoricamente, adequado para aplicações com alto ganho estático em sistemas fotovoltaicos. No entanto, na prática apresenta limitação no ganho, quando a razão cíclica se aproxima da unidade. Esta limitação se deve ao aumento das perdas de condução nos componentes, ocasionado pelo alto valor de pico das correntes. Ainda, esse conversor possui desvantagens ligadas ao alto esforço de tensão e elevada ondulação da corrente nos semicondutores (LI; HE, 2011; SAVAKHANDE; BHATTAR; BHATTAR, 2017).

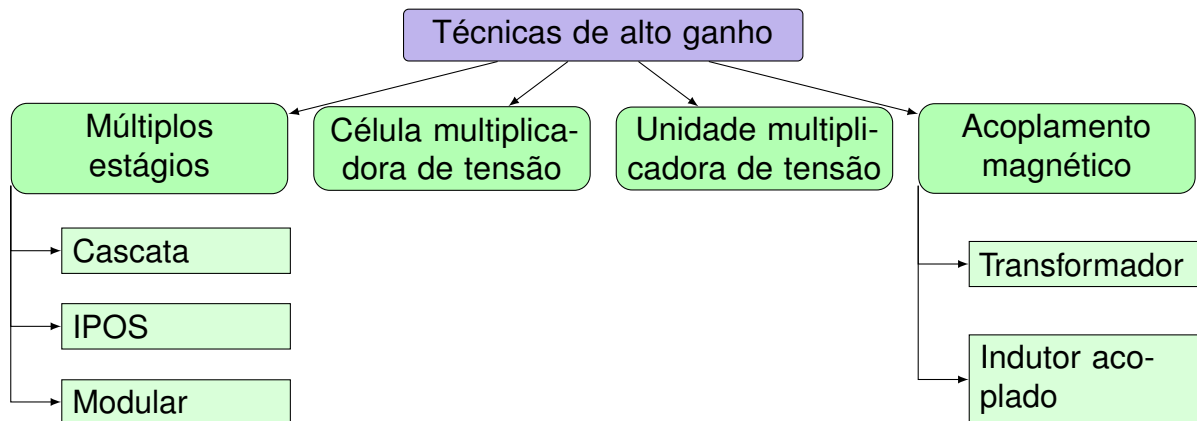
Devido à limitação do *boost* convencional para aplicações fotovoltaicas de alto ganho, foram desenvolvidas estratégias para garantir elevado ganho de tensão. De maneira geral, estas estratégias buscam conversores com alto ganho estático cuja razão cíclica não seja elevada e

Figura 5 – Conversor *boost* convencional

Fonte: A autora (2021).

cujo esforço de tensão nos semicondutores seja reduzido. Na Figura 6, ilustra-se um resumo das estratégias consideradas mais relevantes na literatura, ressalta-se que essas podem ser usadas de forma combinada. Nas próximas seções são apresentadas as técnicas de alto ganho divididas de acordo com a estrutura básica aplicada.

Figura 6 – Técnicas de alto ganho



Fonte: A autora (2021).

2.2.1 Múltiplos estágios

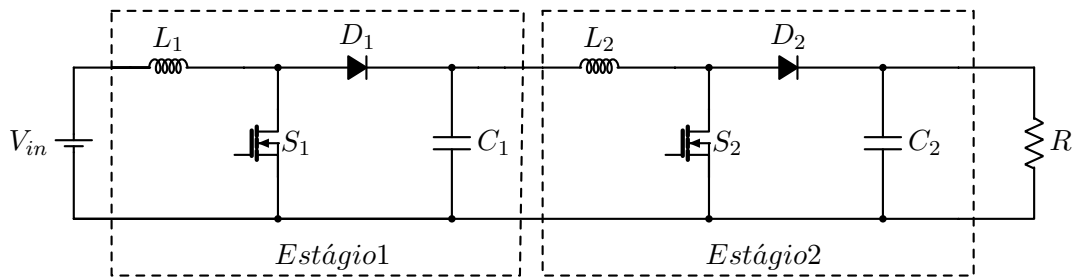
O uso de múltiplos estágios é uma solução para o problema do conversor *boost* convencional. A conexão dos estágios pode ocorrer em cascata ou conectando as entradas do conversor em paralelo e suas saídas em série, IPOS (do inglês *Input-parallel and output-series*). Ainda, é possível a modularização, alterando a quantidade de estágios de acordo com a aplicação.

Essas técnicas possuem flexibilidade de projeto com número genérico de estágios. Contudo, a elevada quantidade de componentes compromete o volume e confiabilidade do conversor. Pode ocorrer, também, uma redução da eficiência global devido aos múltiplos estágios. Nas seções seguintes, serão apresentados conversores baseados nessas estruturas (AMIR et al., 2018; FOROUZESH et al., 2017; LI; HE, 2011; PAULA et al., 2014; TOFOLI et al., 2015).

2.2.1.1 Conexão em cascata

A conexão em cascata consiste em uma sequência de conversores conectados de forma que a entrada de um corresponde a saída de outro. A Figura 7 representa dois conversores *boost* ligados em cascata. A chave semicondutora (interruptor) S_1 possui menor esforço de tensão e pode operar numa frequência maior a fim de aumentar a densidade de energia. Enquanto, S_2 pode manter uma frequência de chaveamento baixa, minimizando as perdas por chaveamento (AMIR et al., 2018; FOROUZESH et al., 2017; LI; HE, 2011; PAULA et al., 2014; TOFOLI et al., 2015).

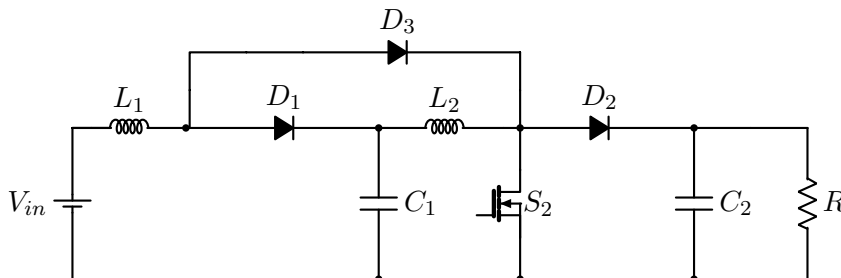
Figura 7 – Conversor *boost* em cascata



Fonte: Adaptado de Batarseh e Harb (2018).

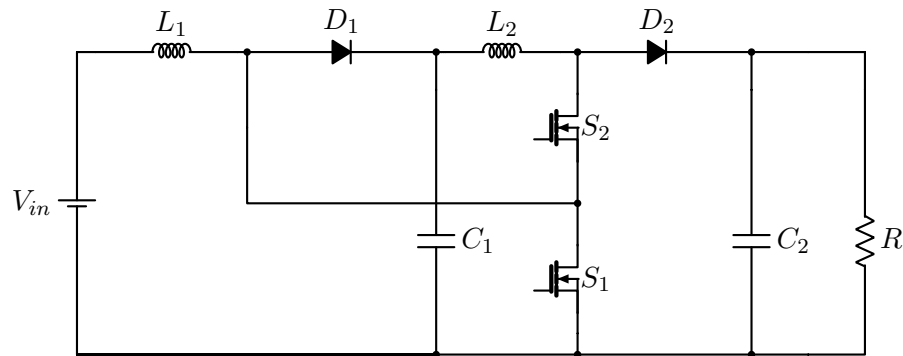
A desvantagem desse conversor é o volume dos componentes no circuito. Ainda, são utilizadas duas chaves semicondutoras para realizar a conversão de energia. Com objetivo de reduzir o número de chaves, S_1 é substituída por um diodo D_3 em paralelo. Define-se, assim, o conversor *boost* quadrático na Figura 8. Devido às modificações no circuito, o ganho estático é o quadrado para uma razão cíclica idêntica ao *boost* convencional (FOROUZESH et al., 2017; LI; HE, 2011; PAULA et al., 2014; TOFOLI et al., 2015).

Figura 8 – Conversor *boost* quadrático



Fonte: Adaptado de Cabral, Oliveira e Novaes (2013).

Ainda, encontra-se na literatura algumas variações do conversor quadrático com múltiplos estágios. Dentre elas, destaca-se o conversor quadrático de três níveis proposto por Novaes, Rufer e Barbi (2007). A topologia é apresentada na Figura 9. O diodo D_3 é retirado e uma segunda chave semicondutora é adicionada em série. Desta forma, a tensão sobre a chave S_2 é reduzida em relação aos conversores *boost* em cascata e quadrático tradicional.

Figura 9 – Conversor *boost* quadrático com três níveis

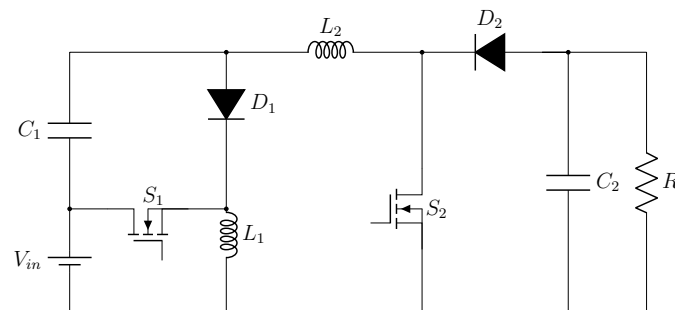
Fonte: Adaptado de Novaes, Rufer e Barbi (2007).

Garcia–Vite et al. (2017) apresentaram um conversor conectando em cascata um conversor *buck-boost* modificado com um *boost* convencional, ilustrado na Figura 10(a). Essa topologia também apresenta um ganho de tensão quadrático. Ainda, minimiza a ondulação da corrente de entrada, chegando a zero numa razão cíclica determinada pelo projeto.

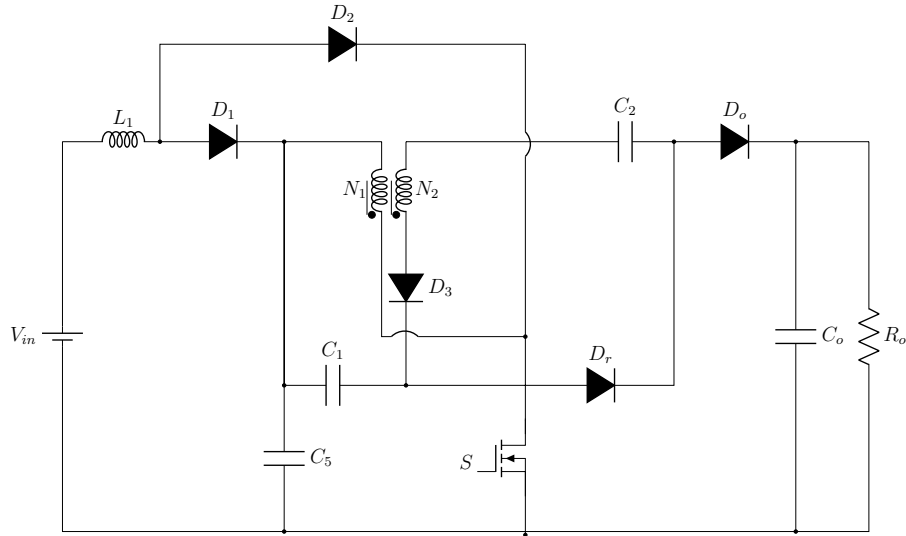
Além da conexão em cascata convencional, encontra-se, na literatura, a combinação do conversor *boost* quadrático com outras técnicas para atingir alto ganho de tensão. Em Hu e Gong (2014), Jie et al. (2016) e Kavitha e Sivachidambaranathan (2016), são propostos conversores baseados no quadrático com células multiplicadoras de tensão e indutor acoplado. A topologia desenvolvida por Kavitha e Sivachidambaranathan (2016) é apresentada na Figura 10(b). Nesta, o capacitor de grampeamento é conectado ao primário do indutor acoplado, reduzindo o estresse de tensão sobre o interruptor e reciclando a energia de dispersão.

Figura 10 – Conversores *boost* baseados na configuração em cascata

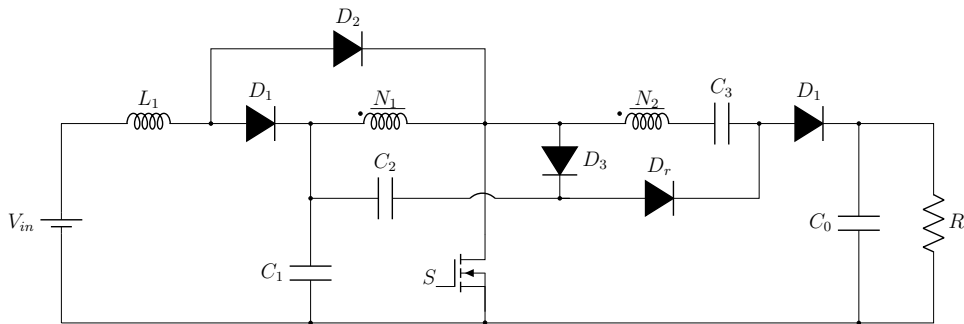
(a) Garcia–Vite et al. (2017)



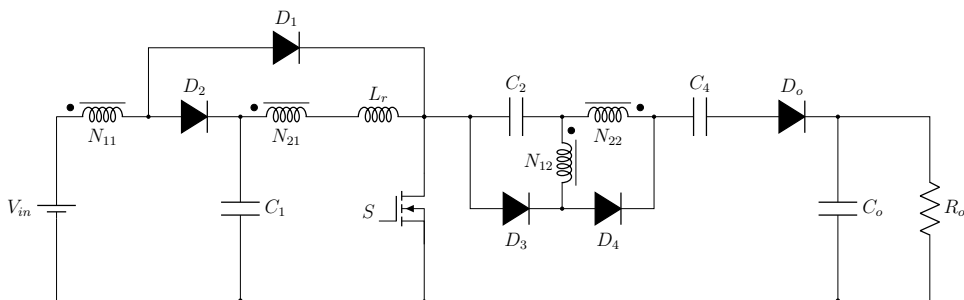
(b) Kavitha e Sivachidambaranathan (2016)



(c) Hu e Gong (2014)



(d) Jie et al. (2016)



Fonte: Adaptado de Garcia–Vite et al.; Kavitha e Sivachidambaranathan; Hu e Gong; Jie et al. (2017, 2016, 2014, 2016).

A topologia proposta por Hu e Gong (2014), mostrada na Figura 10(c) atua de modo similar. Contudo, o ganho da célula multiplicadora de tensão é limitado a dois. O conversor apresentado por Jie et al. (2016) é composto de dois indutores acoplados: um na entrada quadrática; e o segundo na célula multiplicadora de tensão. Esta última será estudada em detalhes nas seções seguintes. A presença desses garante aumento do ganho de tensão e controle do ganho pela relação de transformação. Esta topologia é ilustrada na Figura 10(d).

Percebe-se que a topologia do *boost* quadrático proporcionou a popularização da estratégia de conexão em cascata. Através desse conversor, a limitação existente no *boost* convencional é contornada. Ainda, a combinação do *boost* quadrático com outras técnicas de alto ganho permite tensões de saída maiores para a mesma razão cíclica.

2.2.1.2 Conversores com entrada em paralelo e saída em série (IPOS)

A estratégia IPOS é estabelecida com conexão em série nas saídas dos conversores enquanto que suas entradas compartilham a mesma fonte. Os capacitores dessas topologias são carregados paralelamente em contrapartida a sua transferência de energia para saída se dá em série. O elevado ganho de tensão é, então, obtido pelo descarregamento dos capacitores em série. Assim, as topologias com característica IPOS apresentam tanto compartilhamento de corrente na entrada do circuito como aumento da tensão de saída.

A técnica de conversores intercalados é realizada conectando em paralelo módulos na entrada do circuito. O compartilhamento da corrente entre as unidades interconectadas é uma das principais vantagens deste técnica. A conexão intercalada de vários conversores *boost* pode ser utilizada para melhorar o desempenho e reduzir os elementos de filtro. Ainda, a intercalação reduz a ondulação da corrente e possibilita o aumento da densidade de potência devido a redução do volume dos elementos armazenadores de energia (CHOI et al., 2011; FOROUZESH et al., 2017; PAULA et al., 2014; SAVAKHANDE; BHATTAR; BHATTAR, 2017; TOFOLI et al., 2015).

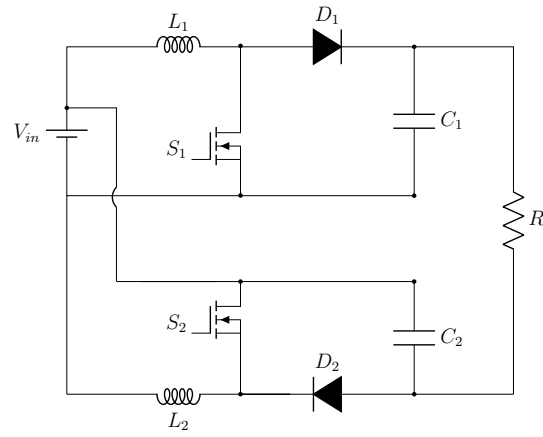
Na literatura, encontram-se estudos de conversores utilizando IPOS para reduzir a ondulação da corrente e elevar o ganho de tensão. O conversor proposto por Choi et al. (2011) possui conexão por intercalação com saída flutuante. A saída flutuante implica que a saída não está conectada ao terminal negativo da entrada, conforme ilustrado na Figura 11(a).

Pan, Chuang e Chu (2014) apresentaram um conversor quádruplo intercalado, garantindo elevado ganho com ondulação de corrente reduzido. A entrada deste conversor possui uma rede ativa de indutor chaveado. Esta garante a elevação do ganho pela carga em paralelo e descarga em série dos componentes armazenadores de energia. Esta topologia é ilustrada na Figura 11(b).

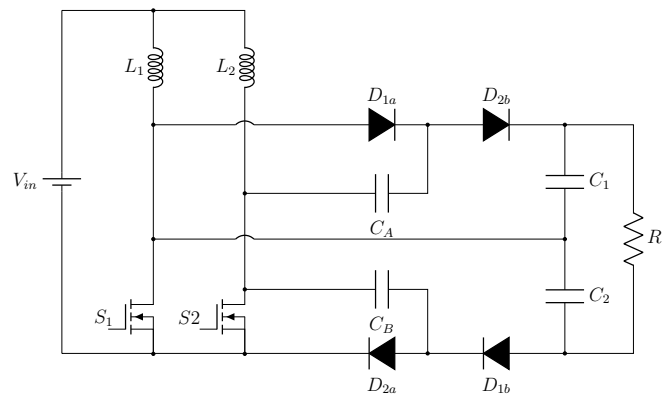
Assim como Pan, Chuang e Chu (2014), o conversor proposto por Wang et al. (2017) reduz a ondulação da corrente de entrada. Esta topologia é composta pela ligação de um conversor *boost* convencional com um *boost* de polaridade invertida e célula multiplicadora de tensão. A conexão destes dois promove ganho duas vezes maior que o convencional e redução nos esforços dos semicondutores. A Figura 11(c) define esta topologia.

Figura 11 – Conversores *boost* IPOS

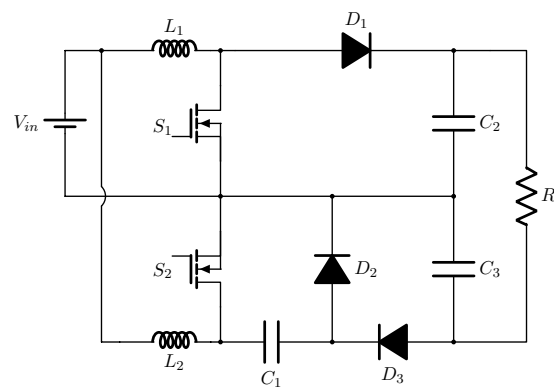
(a) Choi et al. (2011)



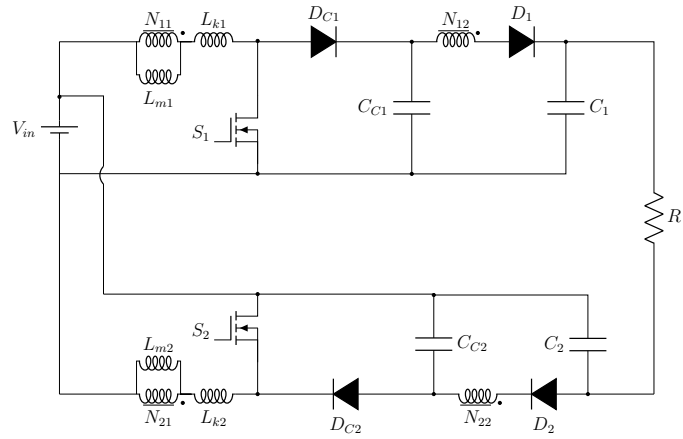
(b) Pan, Chuang e Chu (2014)



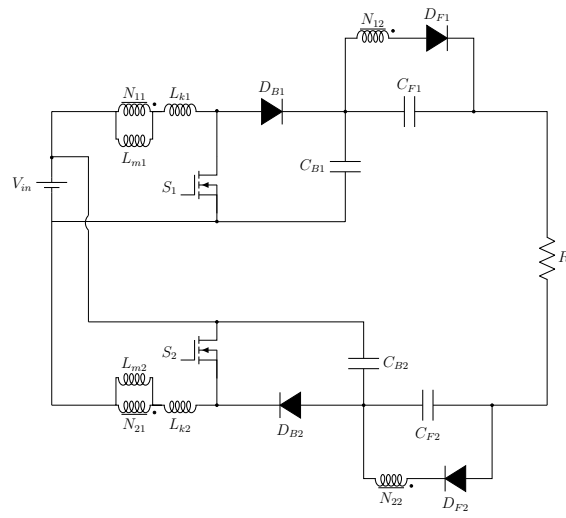
(c) Wang et al. (2017)



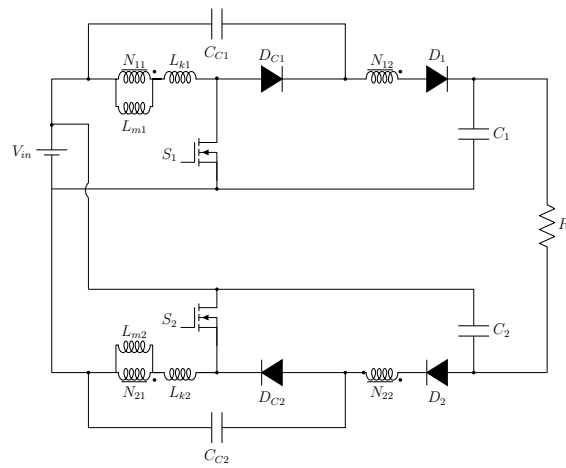
(d) Hatsuyado e Hoshi (2014)



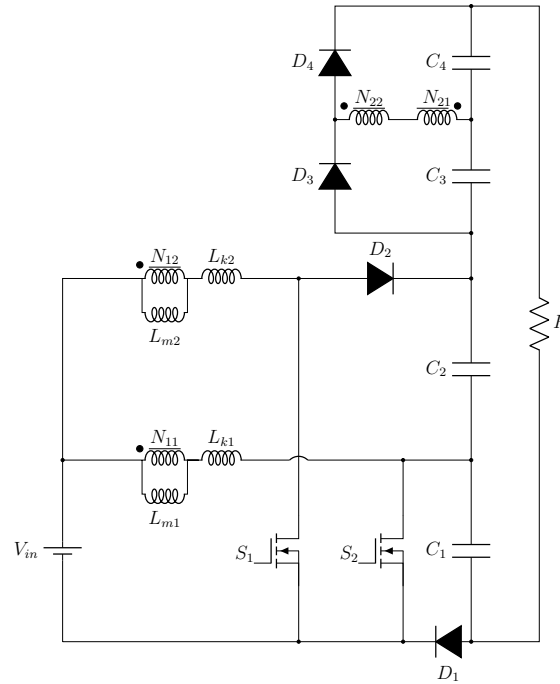
(e) Cardoso, Lazzarin e Waltrich (2018)



(f) Kianpour e Shahgholian (2017)



(g) Chen et al. (2017)



Fonte: Adaptado de Choi et al.; Pan, Chuang e Chu; Wang et al.; Cardoso, Lazzarin e Waltrich; Chen et al. (2011, 2014, 2017, 2018, 2017).

As Figuras 11(d), 11(e) e 11(f) ilustram topologias cuja diferença é o posicionamento dos capacitores. Esses conversores propostos respectivamente por Hatsuyado e Hoshi (2014), Cardoso, Lazzarin e Waltrich (2018) e Kianpour e Shahgholian (2017) possuem mesmo ganho de tensão, apesar da tensão e corrente nos capacitores serem distintos. Hatsuyado e Hoshi (2014) apresentaram um conversor baseado no *boost* intercalado com indutor acoplado. Circuitos de grameamento foram adicionados em paralelo a chave para promover a reciclagem da energia armazenada na indutância de dispersão. Desta forma, o pico de tensão na chave é reduzido, diminuindo a potência dissipada neste componente.

Cardoso, Lazzarin e Waltrich (2018) propuseram uma topologia intercalada com saída flutuante baseada no *boost-flyback*. O conversor *boost-flyback* convencional apresenta grandes ondulações e descontinuidade o que não é adequado para algumas aplicações. Através da conexão em paralelo na entrada, a ondulação da corrente é reduzida. Ainda, esta topologia permite ganhos superiores com o ajuste da relação de espiras dos indutores acoplados.

A topologia descrita por Kianpour e Shahgholian (2017) possui estrutura IPOS com saída flutuante e capacitores de grameamento conectados a entrada do circuito. Essa conexão possibilita a comutação sob corrente nula nos diodos de grameamento. Além disso, a presença dos capacitores conectados a entrada proporcionam uma redução na ondulação da corrente.

Chen et al. (2017) também utilizaram indutores acoplados com configuração IPOS. Os enrolamentos primários dos indutores são conectados em paralelo na entrada do conversor, formando um *boost* intercalado convencional. Já os secundários compõem uma célula multiplicadora de tensão. Desta forma, o ganho é elevado através da conexão em série desta célula com

o *boost* intercalado. Esta topologia é representada na Figura 11(g).

Apesar de reduzir a ondulação da corrente e elevar o ganho, nota-se que esta técnica exige a inserção de pelo menos dois interruptores nas topologias. Além disso, possui uma limitação da razão cíclica. Para que os conversores operem em modo contínuo de condução, os interruptores não devem ser bloqueados ao mesmo tempo. Logo, são controlados por sinais com mesmo ciclo de trabalho maior que 0,5, porém defasados de 180° .

2.2.1.3 Modularização

A técnica de modularização consiste em estruturas modulares conectadas entre si. Os conversores podem ser categorizados em dois grupos de acordo com a fonte de alimentação: única fonte; e múltiplas fontes. A última é mais indicada para aplicações fotovoltaicas (FOROUZESH et al., 2017).

Os módulos consistem de estruturas básicas formadas, usualmente, por capacitores e diodos. Devido a modularização dessas estruturas, pode-se reduzir ou eliminar o número de componentes magnéticos. Ainda, esses blocos são facilmente expandidos para o número desejado de níveis. Contudo, essa expansão ocasiona aumento de peso, volume e custo (FOROUZESH et al., 2017; SAVAKHANDE; BHATTAR; BHATTAR, 2017).

Anurag et al. (2016) apresentaram um conversor modular com comutação a tensão nula. O conversor modularizado é representado na Figura 12(a). A estrutura modular é formada por dois diodos em série conectados em paralelo a um capacitor. Percebe-se que vários módulos podem ser acrescentadas, elevando o ganho de tensão. Apesar da vantagem de ganho proporcional a quantidade de módulos, a distribuição de tensão no capacitores de saída não é uniforme.

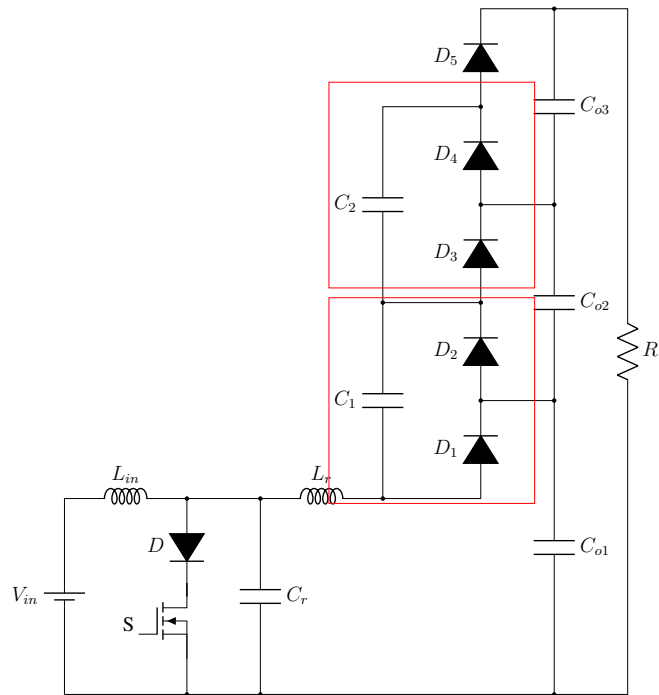
O conversor modularizado de Chitransh e Veerachary (2016) é baseado na topologia de capacitores flutuantes. A topologia é ilustrada na Figura 12(b). Os módulos são formados por estruturas de capacitores grampeados. Esses não são conectados a qualquer fonte primária de energia e, por isso, "flutuam". Contudo, ao contrario do conversor proposto por Anurag et al. (2016) que utiliza diodos, a comutação se dar por chaves semicondutoras.

Ao observar o módulo superior (ver Figura 12(b)), note que quando a chave S_1 é ativada (consequentemente $\bar{S}_1$ é desligada), o capacitor C_1 é contornado e não passa corrente por ele. Na etapa oposta, $\bar{S}_1$ é ligada (portanto S_1 é bloqueada) e a energia é transferida pelo capacitor C_1 . Nesta topologia, é possível de forma simples equilibrar as tensões nos capacitores pelos ciclos de trabalhos das chaves S_1 , S_2 e S_3 .

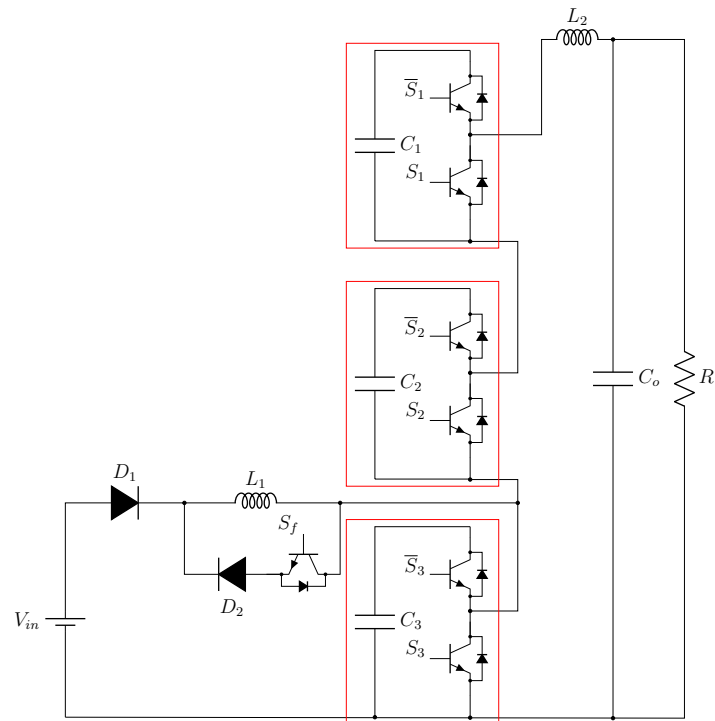
Essa técnica também pode ser aplicada a conexão por IPOS. A topologia apresentada por Brockveld e Waltrich (2018) possui N conversores *boost-flyback* em paralelo no estágio de entrada. A saída também é modularizada, porém a ligação é em série. Assim, além da flexibilidade no projeto, eleva o ganho estático.

Figura 12 – Conversores com estruturas modulares

(a) Anurag et al. (2016)



(b) Chitransh e Veerachary (2016)



Fonte: Adaptado de Anurag et al.; Chitransh e Veerachary (2016, 2016).

Cardoso, Lazzarin e Waltrich (2018) também aplicou a técnica de modularização na variação da sua topologia. O ganho deste é limitado pela relação de transformação. Isto se deve a dependência entre essa e as perdas causadas pela indutância de dispersão. Para evitar um

aumento destas perdas, células *flyback* são acrescentadas. Desta forma, o ganho é elevado.

Observa-se que a adição de estruturas modulares possibilita elevar o ganho de tensão de uma topologia. Ainda, permite flexibilidade e integração do projeto. Contudo, há um compromisso entre o ganho elevado e o aumento do volume, da complexidade e das perdas.

2.2.2 Célula multiplicadora de tensão

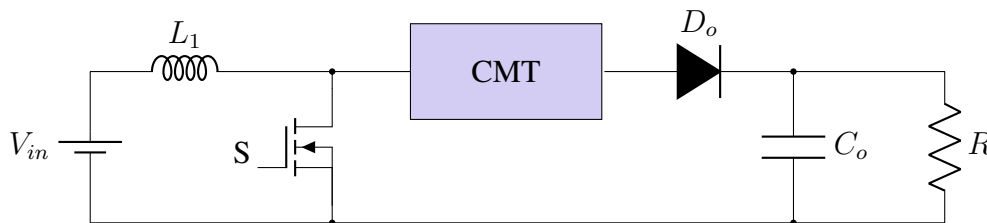
As células multiplicadoras de tensão (CMTs) são estruturas simples, de baixo custo e eficientes. São assim denominadas devido a seu ganho fixo de tensão, obtidos através de capacitores. O uso de CMTs para elevar o ganho da tensão é popular devido à viabilidade de implementação em várias topologias. Esta técnica tem princípio de funcionamento baseado em capacitor chaveado, possibilitando alta densidade de potência devido ao acúmulo de energia nos capacitores (FOROUZESH et al., 2017; SALVADOR et al., 2018; TOFOLI et al., 2015).

Na literatura, o uso de CMTs está ligado principalmente à redução de esforços de tensão nos interruptores. Para reduzir esse esforço, as CMTs são implementadas após esses componentes. A célula básica é usualmente formada por diodos e capacitores para obter tensão c.c. elevada na saída (FOROUZESH et al., 2017; LI; HE, 2011; SALVADOR et al., 2018).

Apesar da estrutura básica com capacitores, conjuntos de CMTs com indutores vêm sendo amplamente utilizados para reduzir a ondulação da corrente. Essas são denominadas de CMTs híbridas. A inserção de indutores nas CMTs levou à combinação desta técnica com o uso de indutores acoplados. Deste modo, o ganho de tensão é elevado pelas CMTs e pela relação de transformação.

Devido à possibilidade de combinação entre diferentes CMTs, pode-se modularizar e generalizar uma estrutura de conversores *boost* utilizando essa técnica. Na Figura 13, apresenta-se a estrutura geral composta de três elementos: chave semicondutora; célula multiplicadora de tensão; e filtro de saída (SCHMITZ; MARTINS; COELHO, 2017; ZHANG et al., 2016).

Figura 13 – Conversor generalizado com CMT

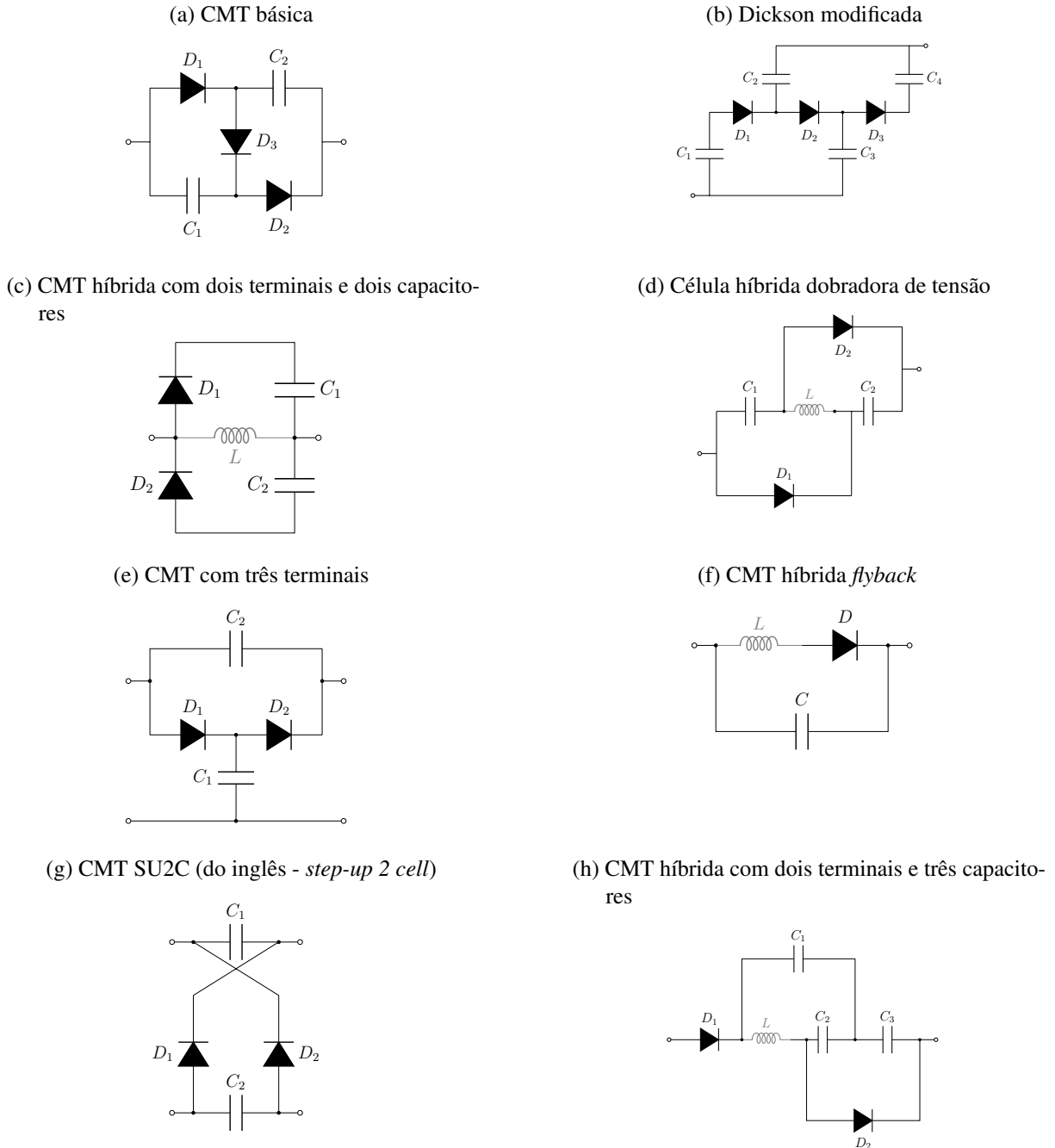


Fonte: A autora (2021).

A Figura 14 apresenta alguns exemplos dessas estruturas multiplicadoras de tensão. Observando a CMT da Figura 14(a), tem-se que os capacitores C_1 e C_2 são carregados em paralelo pelos diodos D_1 e D_2 , enquanto D_3 é reversamente polarizado. A descarga ocorre em série através do diodo D_3 , no momento em que D_1 e D_2 são bloqueados. Desta forma, obtém-se

uma tensão de saída duas vezes maior que de entrada. A desvantagem dessa técnica consiste no controle da tensão de saída quando ocorre grande variação da carga e/ou da tensão de entrada.

Figura 14 – Exemplos de células multiplicadora de tensão

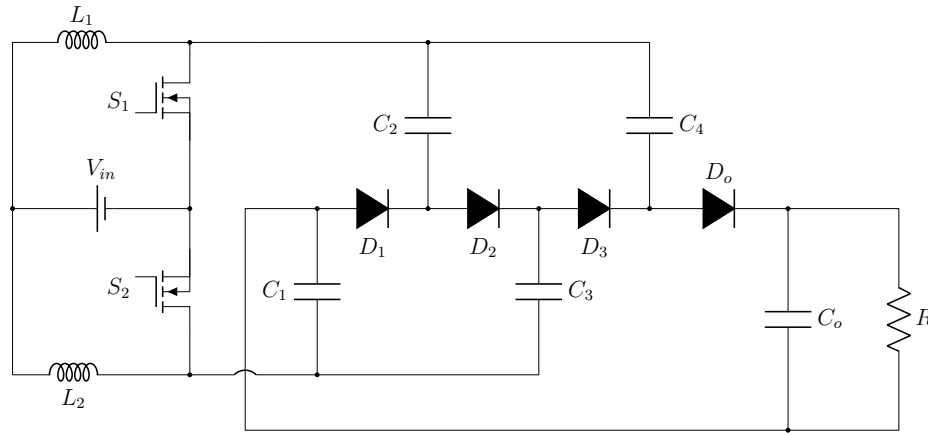


Fonte: A autora (2021).

Baddipadiga e Ferdowsi (2017) propuseram uma CMT modificada, ilustrada na Figura 14(b), a partir da bomba de carga do tipo Dickson. A CMT é combinada com um *boost* intercalado. As tensões dos capacitores da Dickson convencional dobram a cada estágio. Com a alteração proposta, estas tensões são reduzidas e o volume do circuito diminui. Este conversor possui corrente de entrada contínua e baixo esforço sobre as chaves semicondutoras, devido a entrada intercalada. Ainda, pode ser alimentado por fonte única ou duas fontes de tensão o que o torna

adequado para aplicações fotovoltaicas. Esta topologia é ilustrada na Figura 15.

Figura 15 – Conversor proposto por Baddipadiga e Ferdowsi (2017)



Fonte: Adaptado de Baddipadiga e Ferdowsi (2017).

O conversor desenvolvido por Chen et al. (2017) e apresentado anteriormente na Figura 11(g) utiliza a CMT híbrida da Figura 14(c). Essa CMT compõe os secundários dos indutores acoplados. Os capacitores são carregados individualmente pelo indutor. Enquanto o diodo D_1 está polarizado diretamente, o capacitor C_1 é carregado. Neste instante, o diodo D_2 é bloqueado e o capacitor C_2 descarrega. O processo se repete inversamente durante o carregamento de C_2 .

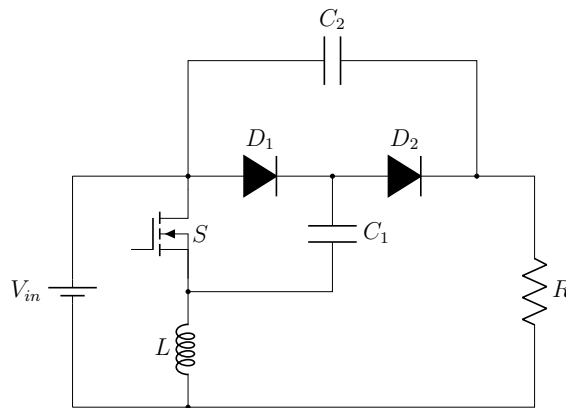
A CMT híbrida definida na Figura 14(d) é implementada na topologia proposta por Amirbande et al. (2016). Os capacitores C_1 e C_2 são carregados em paralelo através do indutor L . Quando os diodos são bloqueados, os capacitores descarregam em série. Nota-se que ganho de tensão obtido é duas vezes maior. Por isso, é nomeada de célula híbrida dobradora de tensão.

Devido à generalização, é possível combinar CMTs com outros conversores básicos. Li et al. (2017) apresentaram um conversor composto de um *buck-boost* convencional com CMT mostrada na Figura 14(e). A entrada da CMT é conectada em paralelo com a chave semicondutora. Desta forma, a corrente de entrada é contínua, tendo esta vantagem em relação ao *buck-boost*. A Figura 16 ilustra este conversor.

A CMT representada na Figura 14(f) é baseada na estrutura do conversor *flyback*. Enquanto o diodo está diretamente polarizado, o capacitor é carregado pelo enrolamento do indutor acoplado conectado a ele. A descarga ocorre durante o bloqueio do diodo. O indutor desta CMT híbrida pode ser acoplado a um enrolamento externo a esta estrutura, elevando o ganho de tensão. No caso do conversor proposto por Yari, Forouzesh e Baghrmian (2015), o indutor é acoplado e o ganho de tensão é definido apenas pela razão de transformação, ao contrário das outras CMTs híbridas apresentadas.

Os conversores propostos por Poovarasan, Saraswathi e Nandhini (2015) e Salvador et al. (2018) utilizam a mesma CMT, apresentada na Figura 14(g). O que diferencia estas topologias é a forma como a entrada do conversor é definida. Salvador et al. (2018) implementou uma rede

Figura 16 – Conversor proposto por Li et al. (2017)



Fonte: Adaptado de Li et al. (2017).

ativa de indutor chaveado, formada por duas chaves semicondutoras e dois indutores na sua entrada. Esta estrutura permite que os indutores sejam carregados em paralelo e descarregados em série, reduzindo o estresse de tensão sobre as chaves e o *ripple* da corrente.

O conversor desenvolvido por Poovarasan, Saraswathi e Nandhini (2015) possui entrada *buck-boost* com rede passiva de indutor chaveado. Assim como Salvador et al. (2018), o carregamento dos indutores é em paralelo e a descarga em série. Contudo, devido a chave semicondutora na entrada, a corrente é descontínua.

Al-Saffar e Ismail (2015) propuseram um conversor baseado no SEPIC com CMT híbrida, ilustrada na Figura 14(h). Este aplica a célula multiplicadora para reduzir o estresse sobre o interruptor. A presença do indutor nesta CMT possibilita maior ganho, uma vez que há mais elementos armazenadores de energia.

Nota-se que a estratégia para elevar o ganho de tensão com CMT é amplamente aplicada às diversas topologias. As CMTs permitem modularização e fácil integração de suas estruturas, promovendo o uso em larga escala e a combinação com outras técnicas. Ainda, é possível reduzir a ondulação da corrente de entrada e esforços nos interruptores. Contudo, a presença de grande oscilação da carga e/ou da tensão de entrada demanda um número maior de elementos armazenadores de energia. Esses componentes podem exigir maior energia durante o regime transitório. Ainda, o número de polos no modelo do sistema é proporcional a quantidade de elementos armazenadores de energia. Desta forma, a dinâmica do controle é mais complexa nesse circuito.

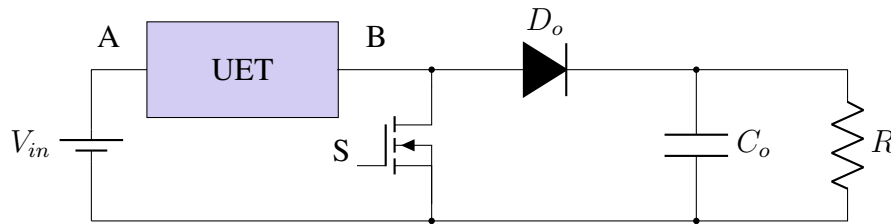
2.2.3 Unidade elevadora de tensão

As unidades elevadoras de tensão (UETs) são circuitos amplamente utilizados para promover o ganho de tensão. Seu princípio de funcionamento é baseado em indutor chaveado. Ainda, pode reduzir esforços da corrente dos indutores e ondulação da entrada (FOROUZESH et al., 2017; SALVADOR et al., 2018).

Por estar associada à ondulação da corrente de entrada, as UETs são implementadas, em geral, antes das chaves semicondutoras. As células básicas desta técnicas são formadas por diodos e indutores (FOROUZESH et al., 2017).

Assim como CMTs, pode-se generalizar e modularizar esta estrutura. Na Figura 17, é representada a estrutura geral composta de três elementos: unidade elevadora de tensão; chave semicondutora; e filtro de saída.

Figura 17 – Conversor generalizado com UET



Fonte: A autora (2021).

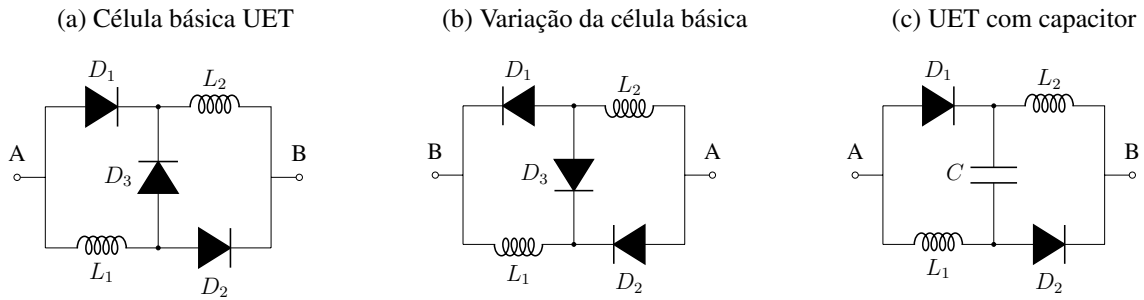
As UETs consideradas mais relevantes são ilustradas na Figura 18. A operação se dá pela carga em paralelo e descarga em série dos indutores. Na Figura 18(a), considerando as indutâncias com valores similares, tem-se uma etapa de operação inicial definida pela carga em paralelo dos indutores através dos diodos D_1 e D_2 . Esta etapa corresponde a chave S da Figura 17 fechada, logo, uma tensão positiva V_{in} aparece entre os terminais A e B. Durante este intervalo, D_3 é bloqueado. Ainda, a corrente nos indutores é crescente, enquanto a tensão nesses elementos positiva. Quando aparece uma tensão negativa entre os terminais A B, isto é, a chave S é aberta (ver Figura 17), o diodo D_3 diretamente polarizado. Neste momento, D_1 e D_2 são bloqueados e a descarga em série dos elementos armazenadores de energia é iniciada. A corrente nos indutores é decrescente e suas tensões negativas.

Em casos que os valores das indutâncias são diferentes, uma etapa de operação é acrescida. Supondo L_1 menor que L_2 , uma etapa intermediária é definida quando o indutor L_1 já está carregado e o diodo D_1 é bloqueado. Neste momento, a tensão sobre L_2 é nula, visto que sua corrente é constante. Desta forma, o diodo D_2 permanece conduzindo e o diodo D_3 inicia sua condução.

A variação dessa UET apresentada na Figura 18(b) possui funcionamento com polarização invertida. Ainda, na Figura 18(c) observa-se a variante com capacitor. A adição desse componente permite elevar o ganho de tensão.

A utilização de indutores com indutâncias similares possibilita adicionar indutores acoplados a esta técnica. Os indutores são substituídos por núcleo acoplado com finalidade de reduzir o número de componentes e elevar a tensão de saída. Entretanto, a utilização de elementos magnéticos pode aumentar o custo e complexidade do circuito (HU et al., 2016; HU et al., 2018).

Figura 18 – Exemplos de unidades elevadoras de tensão



Fonte: Adaptado de Chen, Chen e Shao; Tang et al.; Feng et al. (2016, 2015, 2016).

Devido à modularização dessas técnicas, são encontrados na literatura conversores formados pela combinação de UETs e CMTs. Além do ganho de tensão, essas topologias apresentam esforços de tensão nos interruptores reduzidos e menores ondulações na corrente (HU et al., 2018; NABATI; BABAEI, 2015; SALVADOR et al., 2018; ZHANG et al., 2016).

As topologias propostas por Chen, Chen e Shao (2016), Nabati e Babaei (2015), Tang et al. (2015) utilizam a mesma célula UET. Contudo, sua conexão ocorre diferentemente. Ao contrário da maioria dos conversores, o conversor proposto por Chen, Chen e Shao (2016) adiciona a UET no seu segundo estágio, isto é, após os interruptores. A ondulação da corrente é reduzida por uma estrutura no estágio inicial. Para atingir altos valores de ganho, os indutores são descarregados em série pelo diodo central e carregados em paralelo pelos diodos remanescentes.

Nabati e Babaei (2015) apresentaram a modularização da UET. Na entrada deste conversor, são adicionadas N estruturas diodo-indutor, reduzindo a ondulação na corrente. O conversor desenvolvido por Tang et al. (2015) utiliza a UET na sua entrada em série com os interruptores. Esta célula básica, além de reduzir a ondulação da corrente, possibilita redução dos esforços sobre as chaves.

Percebe-se que a técnica de UET proporciona, além da elevação do ganho, a redução da ondulação da entrada. Ainda, facilita a modularização de suas células básicas. Entretanto, pode ocasionar aumento da complexidade da topologia quando associada a altos ganhos de tensão. Este fato se deve ao aumento de componentes armazenadores de energia. Tanto o projeto como a modelagem desses elementos podem gerar dificuldade adicional.

2.2.4 Acoplamento magnético

A implementação de acoplamento magnético é uma das estratégias mais populares para elevar a tensão de saída de conversores isolados e não isolados. O uso desses componentes magnéticos promove flexibilidade e liberdade para aumentar valores de ganho.

Essa técnica é caracterizada pelo elemento magnético: transformador ou indutor acoplado. O uso de transformadores se popularizou em aplicações que demandam isolamento galvânico. Já indutores acoplados são atrativos devido ao menor volume. O ganho de tensão do circuito é proporcional ao fator de transformação desses elementos (FOROUZESH et al., 2017;

SAVAKHANDE; BHATTAR; BHATTAR, 2017).

2.2.4.1 Transformador

Alguns conversores compostos de transformador podem ser denominados de isolados. Isto se deve ao fato de promover um isolamento galvânico entre a entrada e saída do circuito. O uso desses transformadores está presente entre os conversores c.c./c.c. convencionais como: *flyback*; *push-pull*; *half/full bridge*; *forward* (AMIR et al., 2018).

Esses conversores isolados convencionais podem ser conectados de forma a aumentar o ganho. A associação é realizada de forma que as entradas dos conversores estejam ligadas em paralelo e as saídas em série. Devido a esta ligação intercalada, a corrente na entrada é compartilhada e, conseqüentemente, as perdas de condução nos interruptores são reduzidas (GRUNER et al., 2018; SCHMITZ; COELHO; MARTINS, 2015).

A relação de espiras é responsável por elevar o ganho de tensão. Entretanto, a interrupção da corrente na indutância de dispersão do transformador pode produzir picos de tensão sobre os interruptores. Para contornar essa limitação, são implementados circuitos grampeadores. Com isso, tem-se um aumento no custo e na complexidade do conversor (FOROUZESH et al., 2017; SAVAKHANDE; BHATTAR; BHATTAR, 2017).

Nos últimos anos, diversos estudos apresentaram topologias de alto ganho com uso de transformador. Encontram-se diversos conversores *boost* modificados com transformador e CMT. Esta combinação de técnicas permite reduzir as perdas por chaveamento no interruptor e aumenta a eficiência do conversor (CAI et al., 2014; SWAMI; JAIN, 2016).

2.2.4.2 Indutor acoplado

A técnica de indutor acoplado se tornou bastante popular em aplicações que não exigem isolamento galvânico, entre elas a geração solar fotovoltaica. Esta solução possibilita alto ganho estático com ciclo de trabalho reduzido. O ganho é definido pelo ajuste da relação de transformação entre os enrolamentos, que, apesar de infinita na teoria, é limitada pela elevação da tensão sobre o diodo de saída e pelas perdas nos enrolamentos (FOROUZESH et al., 2017; PAULA et al., 2014; SCHMITZ; COELHO; MARTINS, 2015).

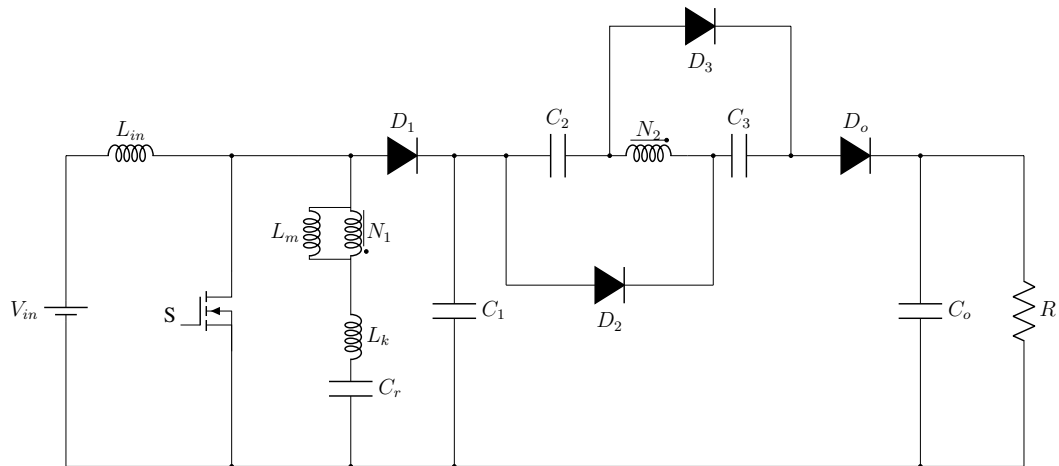
Apesar das vantagens, esta técnica apresenta um pico de tensão sobre a chave devido à indutância de dispersão. Esse pico gera maior esforço de tensão e interferência eletromagnética. Um circuito *snubber* pode ser adicionado para minimizar esta perturbação (FOROUZESH et al., 2017; SCHMITZ; COELHO; MARTINS, 2015).

Ainda é possível o uso de circuitos grampeadores passivos ou ativos para reduzir as sobretensões resultantes do acoplamento não ideal entre os enrolamentos primário e secundário. Além desses benefícios, os circuitos *snubber* e grampeadores também possibilitam a reciclagem da energia de dispersão (HU; GONG, 2014; KAVITHA; SIVACHIDAMBARANATHAN, 2016).

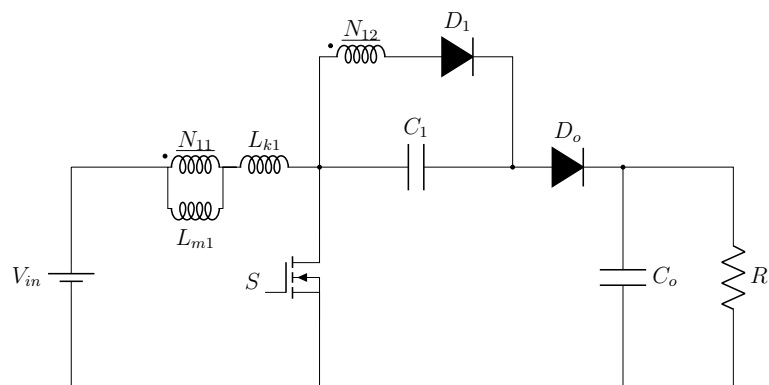
Na literatura, são encontradas diversas topologias que utilizam indutores acoplados. Esta técnica é usualmente associada a estratégias mais simples como: célula multiplicadora de tensão e múltiplos estágios. Ademais, pode-se classificar as topologias de acordo com o número de enrolamentos no indutor acoplado conforme ilustrado nas Figuras 19 e 20.

Figura 19 – Conversores com indutor acoplado de dois enrolamentos

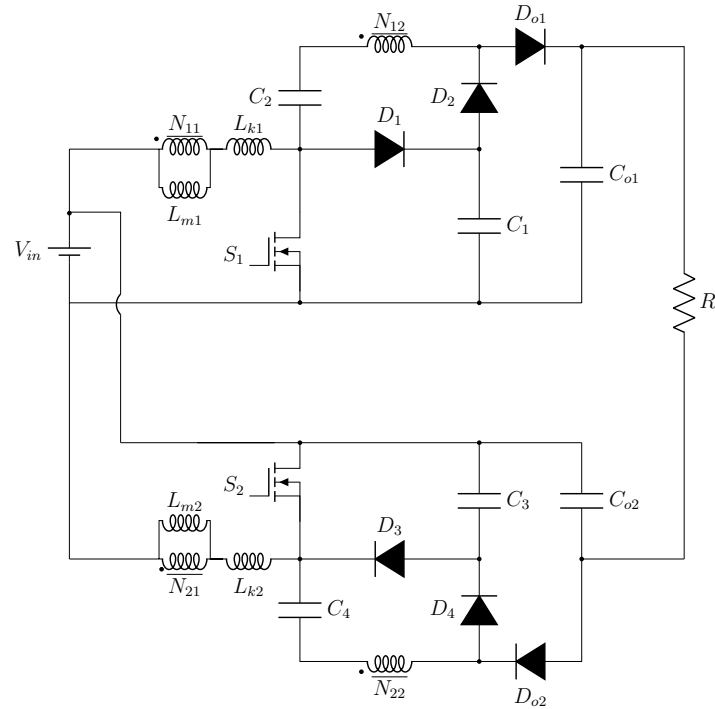
(a) Amirbande et al. (2016)



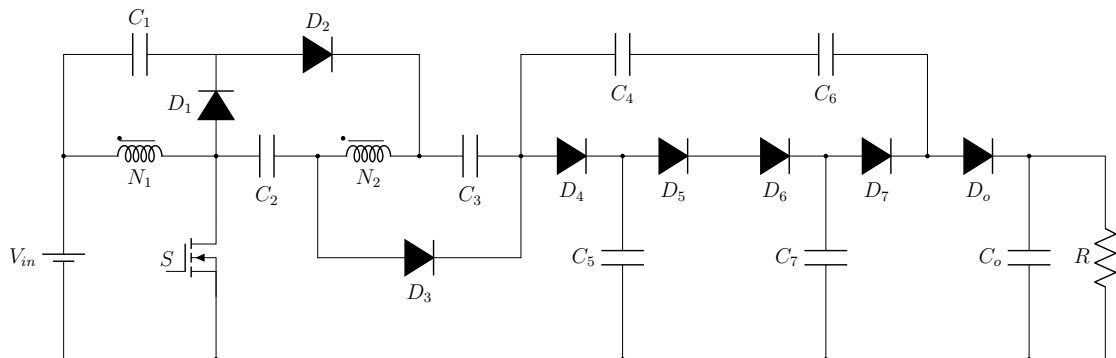
(b) Hassan, Lu e Xiao (2018)



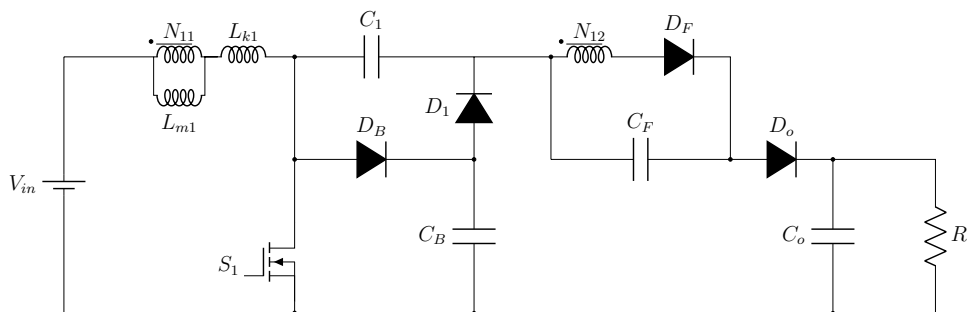
(c) Hu et al. (2016)



(d) Srivastava e Prabhakar (2014)



(e) Yari, Forouzes e Baghrmian (2015)



Fonte: Adaptado de Amirbande et al.; Hassan, Lu e Xiao; Hu et al.; Srivastava e Prabhakar; Yari, Forouzes e Baghrmian (2016, 2018, 2016, 2014, 2015).

O conversor proposto por Amirbande et al. (2016), na Figura 19(a), apresenta uma

operação ressonante para elevar sua eficiência. O circuito ressonante é formado pela indutância de dispersão e capacitor em série. Este circuito permite reduzir as perdas na chave semicondutora já que a comutação ocorre com corrente nula.

Hassan, Lu e Xiao (2018) apresentaram um estudo da topologia apresentada por Lu e Agelidis (2009), ilustrada na Figura 19(b). O indutor acoplado deste conversor opera como transformador do *flyback*, combinando as vantagens do *boost* e do *flyback*. O circuito de grameamento é implementado na saída para reduzir as perdas pela energia de dispersão e evitar picos de tensão na chave semicondutora. Ainda, o indutor acoplado possibilita reduzir perdas por recuperação reversa dos diodos.

Em Hu et al. (2016), a topologia IPOS com indutores acoplados da Figura 19(c) é proposta. Os primários dos indutores acoplados são conectados em paralelo na entrada. A ondulação da corrente é, assim, reduzida. Já os secundários são acoplados a CMTs, elevando o ganho de tensão. A saída desse conversor é flutuante. Este fato se dá pela conexão em série das CMTs, isolando o terminal negativo da carga do da entrada.

A topologia apresentada por Srivastava e Prabhakar (2014) é composta de um indutor acoplado e células multiplicadoras de tensão na saída. A quantidade de CMTs é definida de acordo com a necessidade do ganho. Para elevar o ganho, é adicionado dois capacitores ao indutor acoplado. Estes são carregados em paralelo pela saída e descarregados em série pelo indutor. As CMTs operam como circuito regenerativo, reciclando a energia de dispersão. O ganho final deste conversor é multiplicado pelo fator N de acordo com número de CMTs. Este conversor é ilustrado na Figura 19(d).

Yari, Forouzes e Baghrmian (2015) propuseram uma topologia com estresse de tensão reduzido e indutor acoplado, apresentado na Figura 19(e). O primário do indutor é ligado a entrada, enquanto o secundário é formado pela CMT híbrida *flyback* da Figura 14(g). A tensão sobre o interruptor é aliviada pelo conjunto diodo-capacitor.

Nos últimos anos, diversos estudos apresentam indutores acoplados com três enrolamentos, ilustrados na Figura 20. Este tipo de topologia promove alto ganho de tensão, minimizando a razão cíclica. Além disso, essas estruturas pode reduzir o número de componentes e diminuir estresses de tensão na chaves semicondutoras.

Hu et al. (2018) propuseram a construção de um conversor de três enrolamentos a partir da topologia IPOS apresentada por Hu et al. (2016). A nova estrutura, ilustrada na Figura 20(a), apresenta apenas uma chave semicondutora conectada a duas CMTs híbridas. Estas são conectadas na entrada em paralelo e na saída em série, possibilitando as mesmas vantagens da conexão IPOS. O ganho de tensão é controlado pela relação de transformação do indutor acoplado.

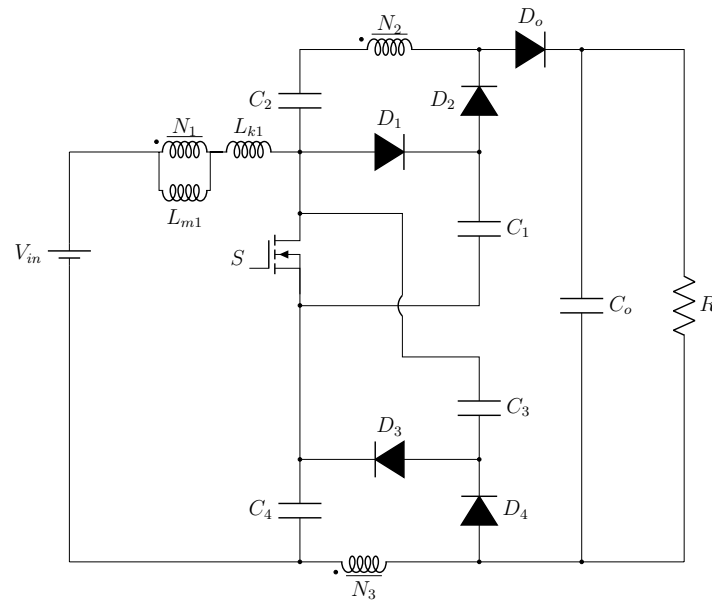
A topologia desenvolvida por Pereira, Martins e Carvalho (2014), da Figura 20(b), possui entrada intercalada formada pelo primário e secundário do indutor acoplado conectados a chaves semicondutoras. Esta conexão permite reduzir a ondulação da corrente. O ganho é elevado pela

relação de transformação e pela CMT da Figura 18(a). Essa CMT é composta pelo enrolamento terciário, possibilitando controle do ganho pelo indutor acoplado.

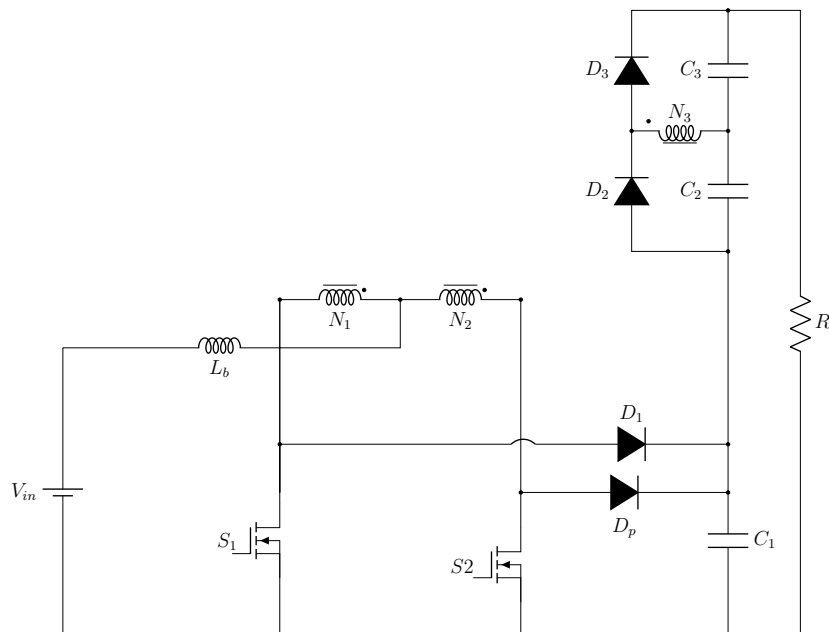
Assim como Pereira, Martins e Carvalho (2014), Chen et al. (2020) apresentaram um conversor intercalado com duas chaves. Contudo, este possui duas CMTs: uma estrutura no enrolamento secundário; e outra no terciário. Desta forma, gera um ganho de tensão superior e ainda permite redução na ondulação da corrente de entrada.

Figura 20 – Conversores com indutor acoplado de três enrolamentos

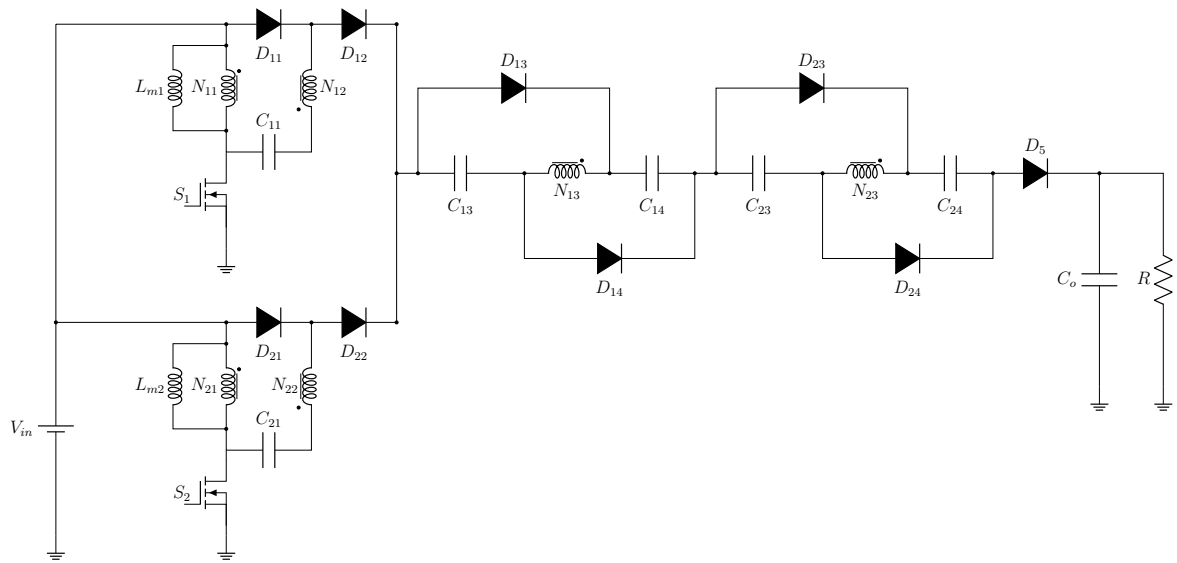
(a) Hu et al. (2018)



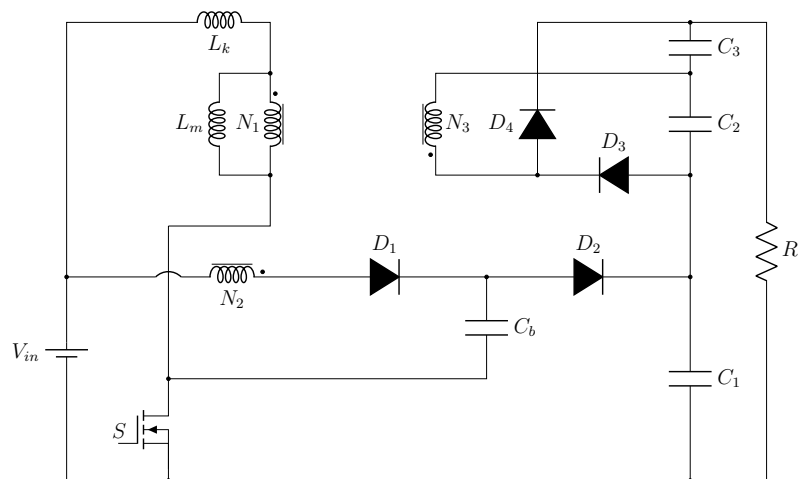
(b) Pereira, Martins e Carvalho (2014)



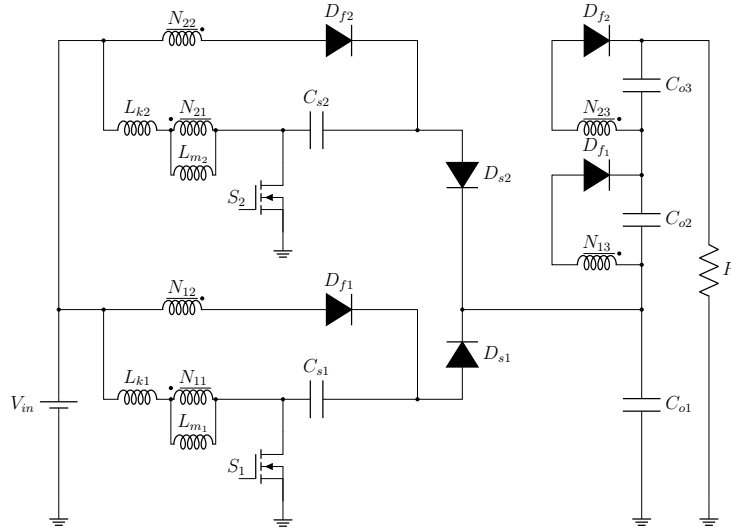
(c) Salehi, Dehghan e Hasanzadeh (2018)



(d) Tseng, Lin e Huang (2015)



(e) Tseng et al. (2015)



Fonte: Adaptado de Hu et al.; Pereira, Martins e Carvalho; Salehi, Dehghan e Hasanzadeh; Tseng, Lin e Huang; Tseng et al. (2018, 2014, 2018, 2015, 2015).

Salehi, Dehghan e Hasanzadeh (2018) apresentaram a topologia intercalada da Figura 20(c) com CMTs e indutores acoplados. Os enrolamentos primários e secundários destes compõem a entrada do conversor conectada em paralelo. Já a saída, em série, é composta por duas CMTs híbridas com os enrolamentos terciários. Esta conexão em série fornece energia para carga de forma a aumentar o ganho de tensão. Além do elevado ganho, esta topologia permite redução do estresse de tensão nos componentes semicondutores com aumento da relação de transformação dos indutores acoplados.

O conversor proposto por Tseng, Lin e Huang (2015) utiliza o indutor acoplado de três enrolamentos e uma estrutura multiplicadora de tensão. Esta topologia é ilustrada na Figura 20(d). O primário e secundário são conectados em paralelo na entrada. Deste modo, limita o estresse de tensão sobre o interruptor. Ainda, a célula capacitor-diodo permite a reciclagem da energia de dispersão, promovendo maior eficiência. Os capacitores dessa estrutura são carregados em paralelo e descarregados na saída em série, elevando o ganho além da relação de transformação.

Tseng et al. (2015) combinaram a topologia *boost-forward-flyback* com a técnica de acoplamento magnético. Os dois submódulos são conectados em paralelo no primário e secundário dos indutores acoplados, similar ao conversor *forward* convencional. Esses submódulos são ligados intercaladamente, permitindo o compartilhamento de corrente na entrada. As estruturas *boost* são implantadas nos primários e as duas células *flyback* em série formam a saída. O alto ganho de tensão deste conversor é obtido pela relação de transformação e as CMTs. Este conversor é ilustrado na Figura 20(e).

Na literatura mais recente, destacam-se topologias com indutor acoplado de três enrolamentos e chave única. Azizkandi et al. (2020) propuseram um conversor com integração de indutor acoplado com CMTs. As CMTs são combinadas ao enrolamentos secundário, fornecendo

um maior ganho de tensão. Entretanto, a estrutura de capacitores chaveados eleva os estresses de tensão totais nos diodos, podendo reduzir a eficiência global.

Além das vantagens na combinação clássica de indutor acoplado com CMTs, Samadian, Hosseini e Sabahi (2021) fazem uso de uma estrutura em *Z quasi* ressonante (Quasi-Z-Source) em seu conversor. Apesar de reduzir a tensão máxima nos semicondutores em relação a estruturas ressonantes tradicionais, esta topologia apresenta estresse de tensão intermediário nestes componentes. Além disso, falta de comutação suave nos diodos pode elevar as perdas.

O conversor de chave única proposto por Farzin, Etemadi e Baghranian (2019) também apresenta característica ressonante para aumentar a eficiência global. Essa estrutura indutor-capacitor ressonante permite a comutação suave nos semicondutores. Ainda, utiliza capacitores chaveados para elevar o ganho de tensão.

Percebe-se que a utilização de indutor acoplado permite alto ganho de tensão. Ainda, promove uma elevada densidade de potência proporcional a relação de transformação do indutor acoplado. É possível também a combinação com outras estratégias e implementação de múltiplos acopladores magnéticos. Entretanto, a inserção desta estratégia pode elevar a complexidade e custo da topologia.

2.3 CONCLUSÃO

Os avanços nas tecnologias de conversores c.c./c.c. permitiram o surgimento de novas topologias. A Tabela 1 é gerada a partir da revisão bibliográfica. É apresentada uma breve comparação qualitativa das técnicas de alto ganho. Esta serve como base para selecionar a técnica adequada para dada aplicação de alto ganho.

Tabela 1 – Resumo comparativo das técnicas de alto ganho

Técnicas de alto ganho	Características
Múltiplos estágios	Modularidade e flexibilidade no projeto; Maior volume e menor robustez.
Célula multiplicadora de tensão	Princípio de funcionamento de capacitor chaveado; Redução dos esforços nas chaves.
Unidade elevadora de tensão	Princípio de funcionamento de indutor chaveado; Redução da ondulação da corrente.
Acoplamento magnético	Flexibilidade para maiores ganhos; Necessidade de <i>snubbers</i> ou circuitos grampeadores.

Fonte: A autora (2021).

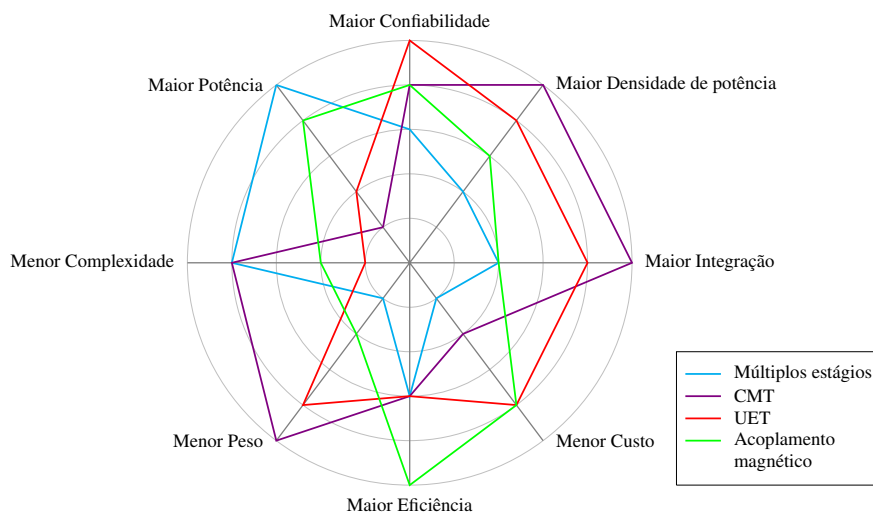
O objetivo do resumo é oferecer uma visão geral das técnicas, indicando as características principais de cada uma. Assim, percebe-se que a estratégia de múltiplos estágios apesar de permitir modularidade e flexibilidade no projeto, pode comprometer volume e robustez do conversor pela quantidade de componentes.

A técnica com célula multiplicadora de tensão possibilita a redução de esforços de tensão nos interruptores, enquanto a unidade elevadora de tensão diminui a ondulação da corrente. Os princípios de funcionamento dessas técnicas são definidos, respectivamente, por capacitor e indutor chaveados.

Observou-se também que o acoplamento magnético, dentre as técnicas estudadas, apresenta a maior liberdade para elevação do ganho. Isto ocorre porque a relação de espiras proporciona aumento de tensão no enrolamento desejado. Contudo, essa relação de transformação é limitada pelo volume e complexidade da topologia. Além disso, devido à indutância de dispersão, é necessário uso de estratégias para evitar os possíveis pico de tensão sobre os interruptores.

A Figura 21, desenvolvida por Forouzesh et al. (2017), apresenta um resumo comparativo das principais características das técnicas estudadas: potência, custo, confiabilidade, eficiência, densidade de potência, peso, integração, complexidade. O gráfico de radar foi descrito com valores arbitrários, isto é, a comparação é qualitativa. A fim de facilitar a visualização das vantagens e desvantagens de cada técnica, foi definido que as características positivas são apresentadas mais próximas ao círculo de maior raio.

Figura 21 – Análise comparativa das técnicas de alto ganho



Fonte: Adaptada de Forouzesh et al. (2017).

O eixo polar de confiabilidade depende do desempenho da técnica utilizada em elevar o ganho de tensão. No caso das estratégias apresentadas, o uso de múltiplos estágios apresenta menor confiabilidade devido à quantidade elevada de componentes, reduzindo robustez. Já a técnica de UET é a mais confiável entre as estudadas.

A densidade de potência é definida sendo a potência nominal do conversor por seu volume. Em consequência de sua característica de capacitor chaveado, a célula multiplicadora de tensão possui a maior densidade de potência em comparação as outras técnicas estudadas. A menor densidade é atribuída ao múltiplos estágios em função do elevado volume de componentes.

A característica de integração é estabelecida pela capacidade da estratégia de alto ganho

se inserir a um circuito preexistente. Em virtude de suas estruturas modulares, as CMTs e as UETs são facilmente integradas. Em contrapartida, tanto a técnica de acoplamento magnético como a de múltiplos estágio possuem menor flexibilidade de integração.

Conforme previamente comentado, as características positivas são apresentadas próximas ao círculo de maior raio. Assim, o uso de múltiplos estágios apresenta o maior custo devido à elevada quantidade de componentes necessária para elevar o ganho de tensão. Enquanto as técnicas com menor custo são UET e o acoplamento magnético.

Sabe-se que é difícil comparar a eficiência de conversores devido a sua dependência com diversos fatores tecnológicos e construtivos do conversor. Contudo, o uso de componentes com acoplamento magnético apresenta a melhor eficiência. Este fato ocorre pelo aumento ganho de tensão sem grande elevação das perdas. Já as outras técnicas abordadas possuem perfis de eficiência intermediários e similares.

O peso, por ser uma desvantagem, é estabelecido de forma invertida no eixo polar. Logo, a CMT possui o menor peso dentre as técnicas de alto ganho, enquanto uso de múltiplos estágios apresenta o maior peso. Esta diferença é determinada pela quantidade de componentes utilizados nessas estratégias.

A complexidade de uma técnica de alto ganho é determinada pela quantidade de múltiplos aspectos ou elementos cujas relações de interdependência podem complicar o projeto. Os elementos indutores/transformadores presentes nas estruturas das UETs e do acoplamento magnético possuem maior dificuldade nesta análise. Desta forma, essas técnicas apresentam complexidade mais elevada.

O eixo potência se refere a potência máxima que o conversor de alto ganho consegue processar. As técnicas com maior potência são aquelas cuja estrutura possui múltiplos estágios e acoplamento magnético. Isto se deve a flexibilidade na elevação de ganho quando comparada as outras estratégias de alto ganho.

Nota-se que cada estratégia para elevar ganho de tensão possui suas vantagens e desvantagens dentre as características. Decidir a técnica de alto ganho a ser utilizada depende da aplicação. Cada aplicação possui requisitos específicos que determinam a escolha da topologia.

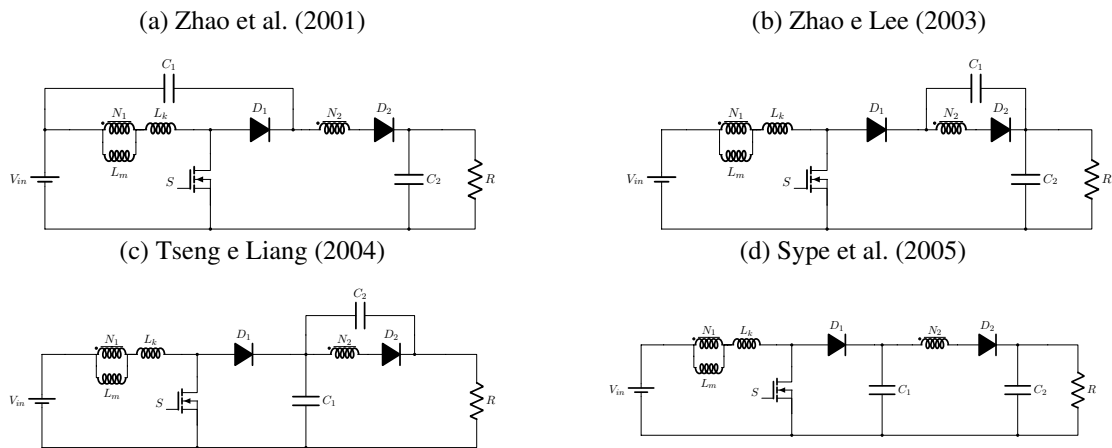
3 FAMÍLIA DE CONVERSORES DE ALTO GANHO COM CHAVE ÚNICA

3.1 INTRODUÇÃO

Os conversores com alto ganho foram apresentados no Capítulo 2. Conforme descrito, o conversor *boost* convencional possui limitação prática no ganho, quando o valor da razão cíclica se aproxima de um. Desta forma, estratégias de alto ganho são aplicadas a fim de elevar o ganho estático de tensão.

Schmitz (2015) reúne em seu trabalho conversores com células multiplicadoras de tensão. Alguns desses conversores foram previamente apresentados por Zhao et al. (2001), Zhao e Lee (2003), Tseng e Liang (2004) e Syte et al. (2005). As variações topológicas desses conversores ocorrem mediante a modificação na conexão dos capacitores. Ainda, todas as topologias possuem o mesmo princípio de funcionamento e ganho estático, distinguindo-se apenas em algumas características como corrente de entrada e tensão e corrente nos capacitores. A Figura 22 ilustra algumas dessas topologias.

Figura 22 – Conversores com modificação na conexão dos capacitores



Fonte: Adaptado de Zhao et al. (2001),(ZHAO; LEE, 2003),(TSENG; LIANG, 2004),(SYPE et al., 2005).

A técnica IPOS se tornou bastante popular nas aplicações fotovoltaicas. Este fato se deve ao alto ganho proporcionado por essa conexão. Ainda, o paralelismo na entrada permite o compartilhamento de corrente, diminuindo sua ondulação. A partir das variações topológicas descritas na Figura 22, pode-se aplicar a técnica IPOS as topologias apresentadas por Zhao et al. (2001), Zhao e Lee (2003), Tseng e Liang (2004) e Syte et al. (2005).

Ao executar essa estratégia, encontra-se na literatura os conversores propostos por Hatsuyado e Hoshi (2014), Kianpour e Shahgholian (2017), Cardoso, Lazzarin e Waltrich (2018) (posteriormente Brockveld e Waltrich (2018)). Esses são ilustrados nas Figuras 11(d) 11(f) e 11(e), respectivamente. Apesar das similaridades dessas topologias não há estudo comparativo entre elas. Ressalta-se também que nenhum dos autores cita essas semelhanças.

Ainda, em Hu et al. (2018) apresenta-se um conversor com acoplamento magnético de três enrolamentos a partir de uma topologia IPOS, ilustrado na Figura 20(a). O número de chaves semicondutoras é reduzido, contudo a estrutura paralela entre os submódulos é mantida. Com base nesse estudo, propõe a utilização da mesma estratégia para os conversores IPOS descritos em Hatsuyado e Hoshi (2014), Cardoso, Lazzarin e Waltrich (2018) e Kianpour e Shahgholian (2017).

Diferentemente do conversor proposto por Hu et al. (2018), as topologias propostas não apresentam um diodo na saída, desacoplando a carga. Os capacitores acumulam energia enquanto a chave está bloqueada. Assim, ao ligar a chave, essa energia é liberada instantaneamente. Para evitar o pico na corrente da chave um indutor é introduzido na saída dos conversores propostos. A inserção desse componente tem como objetivo limitar essa corrente.

A família de conversores proposta neste trabalho é formada por duas células multiplicadoras de tensão com capacitores chaveados e acoplamento magnético. A energia de dispersão é recuperada por dois circuitos de grampeamento regenerativos conectados a chave semicondutora. Desta forma, o estresse de tensão na chave é reduzido, possibilitando o uso de MOSFET com baixa resistência interna. Ademais, todos os diodos operam com comutação sob corrente nula (ZCS do inglês *Zero Current Switching*), eliminando as perdas por recuperação reversa.

Neste capítulo, são apresentadas as etapas de operação, as principais formas de onda, as tensões sobre os elementos capacitivos e os semicondutores, e o ganho estático do conversor operando em modo de condução contínua (MCC). Também são analisados os resultados das simulações para validar as expressões desenvolvidas e o desempenho do conversor.

3.2 ANÁLISE DAS TOPOLOGIAS PROPOSTAS

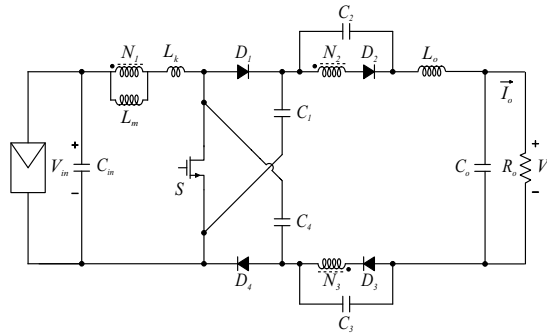
A família de conversores de alto ganho com chave única é apresentada na Figura 23. Conforme abordado previamente, as topologias se diferenciam no posicionamento dos capacitores.

Os componentes dos circuitos são definidos como:

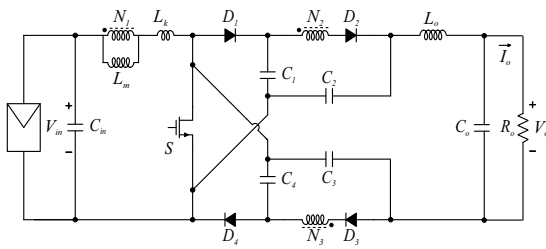
- V_{in} é a tensão aplicada na entrada;
- S é o interruptor;
- N_1 é o enrolamento primário do indutor acoplado;
- N_2 e N_3 são os enrolamentos secundários do indutor acoplado;
- L_m representa a indutância de magnetização;
- L_k representa a indutância de dispersão;
- D_1 e D_4 são os diodos associados ao circuito de grampeamento;
- D_2 e D_3 são os diodos associados às células multiplicadoras de tensão;

Figura 23 – Família de conversores propostos

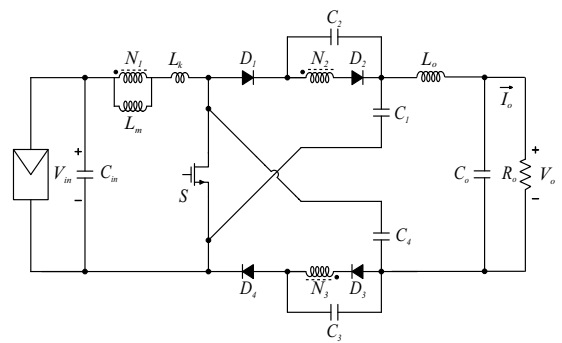
(a) Conversor proposto tipo 1



(b) Conversor proposto tipo 2



(c) Conversor proposto tipo 3



Fonte: A autora (2021).

- C_1 e C_4 são os capacitores associados ao circuito de grampeamento;
- C_2 e C_3 são os capacitores associados às células multiplicadoras de tensão;
- L_o é o indutor de saída;
- C_o é o capacitor de saída.

O estudo teórico dessas topologias será realizado separadamente para facilitar a análise. Para tal, assume-se em todos os conversores propostos:

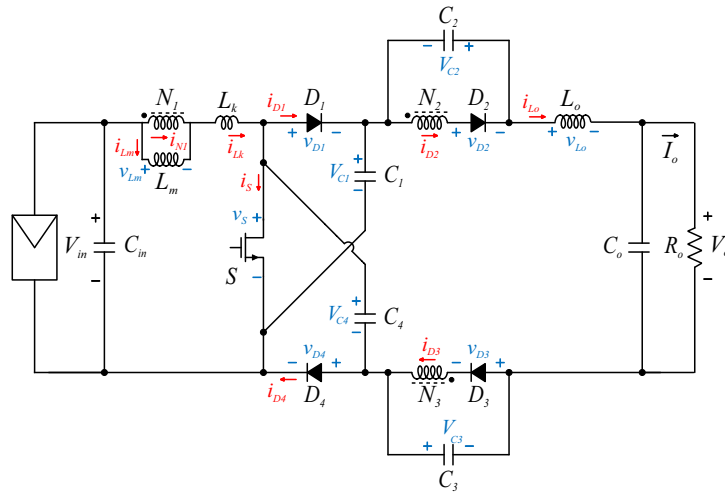
1. com exceção do indutor acoplado todos os componentes, inclusive chave e diodos, são ideais e livres de elementos parasitas;
2. há dispersão e o acoplamento magnético (k) é definido como: $k = \frac{L_m}{L_m + L_k}$;
3. as relações de transformação do indutor acoplado, $n_2 = \frac{N_2}{N_1}$ e $n_3 = \frac{N_3}{N_1}$, são iguais, ou seja, $n_2 = n_3 = n$;
4. os valores das grandezas correspondentes aos elementos capacitivos dos circuitos de grampeamento e de cada célula multiplicadora de tensão são idênticos. Isto é, $C_1 = C_4$ e $C_2 = C_3$;

5. e as tensões sobre os capacitores são constantes e definidas como V_{in} , V_{C_1} , V_{C_2} , V_{C_3} , V_{C_4} e V_{C_o} sobre os capacitores C_{in} , C_1 , C_2 , C_3 , C_4 e C_o , respectivamente. Também é considerado: $V_{C_1} = V_{C_4}$ e $V_{C_2} = V_{C_3}$.

3.2.1 Conversor tipo 1

O circuito equivalente do conversor tipo 1 é mostrado na Figura 24, onde as polaridades de tensão assumidas e as direções das correntes são fornecidas.

Figura 24 – Circuito equivalente do conversor tipo 1



Fonte: A autora (2021).

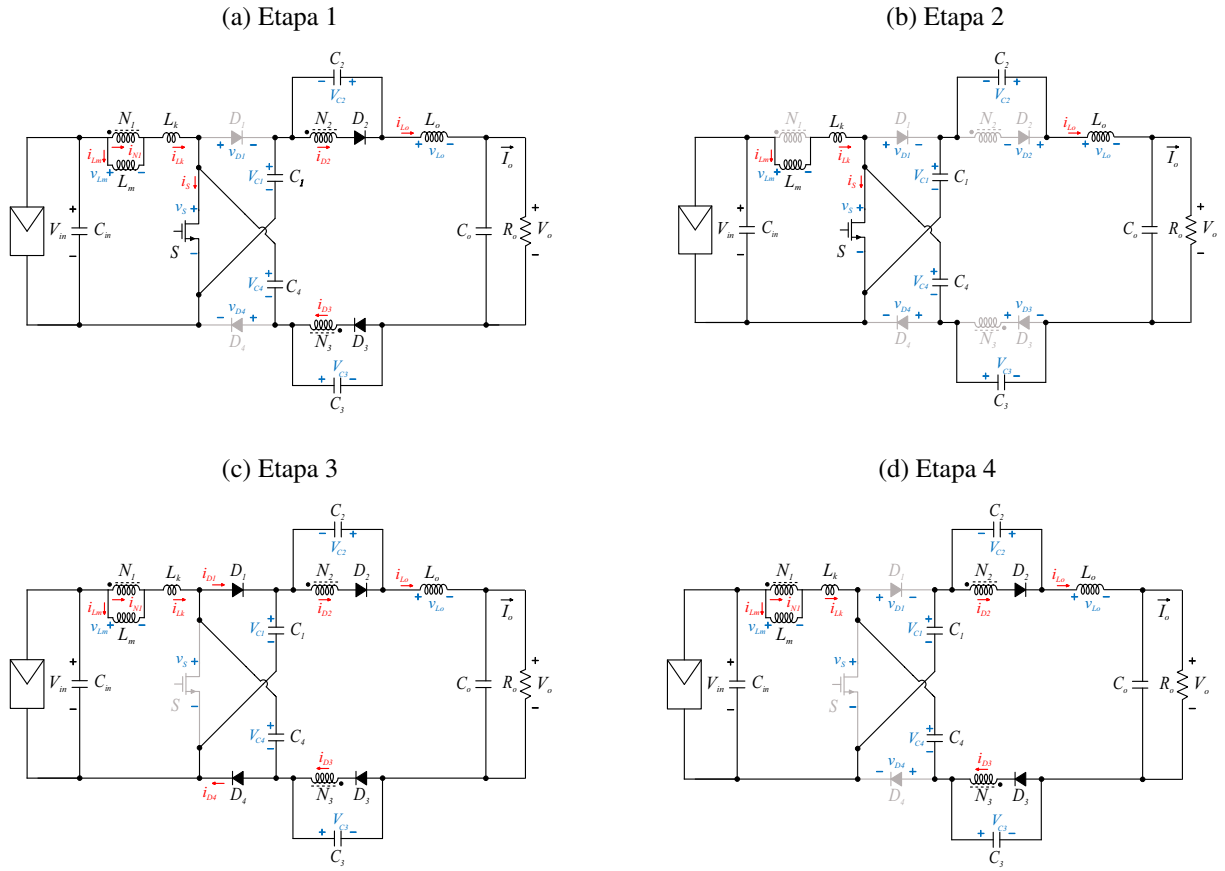
Conforme apresentado na Tabela 2, durante um período de chaveamento, há quatro etapas de operação caracterizadas pelos estados de condução dos diodos e da chave semicondutora. Os circuitos equivalentes dessas etapas são ilustrados na Figura 25. Esta etapas de operação são apresentadas nas seções seguintes.

Tabela 2 – Etapas de operação do conversor em um período de chaveamento

Etapas	Intervalo de duração	Caracterização
Etapa 1	$d_1 = [t_0, t_1]$	$S = \text{on}$
		$D_1 = \text{off}, D_4 = \text{off}$
		$D_2 = \text{on e } D_3 = \text{on}$
Etapa 2	$d_2 = [t_1, t_2]$	$S = \text{on}$
		$D_1 = \text{off}, D_4 = \text{off}$
		$D_2 = \text{off e } D_3 = \text{off}$
Etapa 3	$d_3 = [t_2, t_3]$	$S = \text{off}$
		$D_1 = \text{on}, D_4 = \text{on}$
		$D_2 = \text{on e } D_3 = \text{on}$
Etapa 4	$d_4 = [t_3, t_4]$	$S = \text{off}$
		$D_1 = \text{off}, D_4 = \text{off}$
		$D_2 = \text{on e } D_3 = \text{on}$

Fonte: A autora (2021).

Figura 25 – Etapas de operação do conversor tipo 1



Fonte: A autora (2021).

3.2.1.1 Etapa 1

Em t_0 , a chave S inicia sua condução com comutação sob corrente zero. A corrente i_S é determinada pela LKC (Lei de Kirchhoff das correntes), assim, tem-se:

$$i_{L_k}(t) = i_S(t) + i_{C_4}(t),$$

$$i_{L_k}(t) = i_S(t) + i_{C_1}(t), \quad (3.1)$$

ainda, ao analisar os nós dos capacitores C_2 e C_3 :

$$i_{C_2}(t) = i_{D_2}(t) + i_{C_1}(t),$$

$$i_{C_3}(t) = i_{D_3}(t) + i_{C_4}(t), \quad (3.2)$$

além disso, as correntes i_{D_2} e i_{D_3} são definidas pelos nós:

$$i_{D_2}(t) = i_{L_o}(t) + i_{C_2}(t),$$

$$i_{D_3}(t) = i_{L_o}(t) + i_{C_3}(t). \quad (3.3)$$

Substitui-se a Equação (3.2) na Equação (3.1). Após esse procedimento, é necessário definir as correntes i_{D_2} e i_{D_3} da Equação (3.3). Por fim, a corrente na chave é calculada por:

$$i_S(t) = i_{L_k}(t) + i_{L_o}(t). \quad (3.4)$$

Ao observar a Figura 25(a), verifica-se que o enrolamento secundário, N_2 está submetido a tensão $-V_{C_2}$, visto que o diodo D_2 está conduzindo. Esta tensão é refletida no enrolamento primário, logo, a tensão sobre a indutância de magnetização é $v_{L_m} = \frac{-V_{C_2}}{n} = \frac{-V_{C_3}}{n}$. Assim, a corrente neste componente i_{L_m} é determinada integrando a tensão v_{L_m} ao longo do intervalo $t - t_0$, o que resulta em:

$$i_{L_m}(t) = i_{L_m}(t_0) - \frac{V_{C_2}}{nL_m}(t - t_0). \quad (3.5)$$

Ao aplicar a LKT (Lei de Kirchhoff das tensões), a tensão sobre a indutância de dispersão, $V_{L_k, e1}$, é definida como:

$$v_{L_k}(t) = V_{in} - v_{L_m}(t),$$

$$V_{L_k, e1} = V_{in} + \frac{V_{C_2}}{n}. \quad (3.6)$$

Durante este intervalo, sua corrente, i_{L_k} , é carregada e calculada por:

$$i_{L_k}(t) = i_{L_k}(t_0) + \frac{nV_{in} + V_{C_2}}{nL_k}(t - t_0). \quad (3.7)$$

Os diodos D_1 e D_4 estão reversamente polarizados e as tensões de bloqueio determinadas por: $v_{D_1} = -V_{C_1}$ e $v_{D_4} = -V_{C_4}$. Devido a simetria dos capacitores, as tensões de bloqueio sobre os diodos associados ao circuito de grampeamento são iguais.

A corrente no enrolamento primário i_{N_1} é definida pela LKC, sendo obtida pela diferença entre as correntes fluindo por L_k e L_m . Logo, tem-se:

$$i_{N_1}(t) = i_{L_k}(t) - i_{L_m}(t). \quad (3.8)$$

Como, os diodos D_2 e D_3 estão polarizados diretamente através dos enrolamentos secundários, N_2 e N_3 , respectivamente, e a corrente i_{N_1} é refletida para os enrolamentos secundários, dividindo-se igualmente entre eles já que $N_2 = N_3$. Note que i_{D_2} corresponde ao negativo da corrente no enrolamento N_2 (ver Figura 25(a)) e o mesmo ocorre para i_{D_3} em relação a N_3 , assim:

$$i_{D_2}(t) = i_{D_3}(t) = \frac{-i_{N_1}(t)}{2n} = \frac{i_{L_m}(t) - i_{L_k}(t)}{2n}. \quad (3.9)$$

Percebe-se que os diodos D_2 e D_3 permanecerão conduzindo enquanto i_{L_k} for menor que i_{L_m} . A etapa 1 finaliza quando os valores dessas correntes são igualados. Portanto, a duração

desta etapa está relacionada com as taxas de variação de i_{L_k} e i_{L_m} que, por sua vez, dependem dos valores de L_k e L_m . Logo, pode-se afirmar que a duração da etapa 1 é proporcional ao valor do acoplamento magnético, k .

Por fim, analisando na Figura 25(a), a malha envolvendo o indutor L_o , tem-se:

$$V_{L_o,on} = 2V_{C_1} + 2V_{C_2} - V_o, \quad (3.10)$$

ao integrar v_{L_o} ao longo do intervalo $t - t_0$, obtemos a corrente:

$$i_{L_o}(t) = i_{L_o}(t_0) + \frac{2V_{C_1} + 2V_{C_2} - V_o}{L_o}(t - t_0). \quad (3.11)$$

3.2.1.2 Etapa 2

A chave semicondutora permanece ligada com corrente definida pela Equação (3.4) e os diodos D_1 e D_4 reversamente polarizados com $v_{D_1} = v_{D_4} = -V_{C_1}$. Nota-se na Figura 25(b) que o indutor L_m é carregado com tensão $v_{L_m} = kV_{in}$. Ao integrar esta tensão ao longo do intervalo $t - t_1$, a corrente i_{L_m} é obtida por:

$$i_{L_m}(t) = i_{L_m}(t_1) + \frac{V_{in}}{L_m + L_k}(t - t_1). \quad (3.12)$$

Através da LKT, define-se que a tensão sobre a indutância L_m :

$$v_{L_k}(t) = V_{in} - v_{L_m}(t),$$

$$v_{L_k} = V_{in} - kV_{in} = (1 - k)V_{in}. \quad (3.13)$$

Neste intervalo, a corrente i_{L_k} é determinada integrando a tensão ao longo do tempo, o que resulta em:

$$i_{L_k}(t) = i_{L_k}(t_1) + \frac{V_{in}}{L_m + L_k}(t - t_1). \quad (3.14)$$

O início desta etapa é definido quando o valor de i_{L_k} atinge o valor de i_{L_m} . Assim, a corrente em D_2 e D_3 se anulam e esses diodos deixam de conduzir. Assim, a comutação suave sob corrente nula acontece em D_2 e D_3 .

As tensões de bloqueio, v_{D_2} e v_{D_3} , são determinadas pela LKT, e a tensão sobre L_m é refletida igualmente nos enrolamentos secundários ($V_{N_2} = V_{N_3} = nV_{L_m}$). Na Figura 25(b), observe que v_{D_2} é calculado por:

$$v_{D_2} = -V_{C_2} - v_{N_2},$$

$$v_{D_2} = -V_{C_2} - nv_{L_m},$$

$$v_{D_2} = -V_{C_2} - nkV_{in}, \quad (3.15)$$

realizando o mesmo procedimento para o diodo D_3 , a tensão de bloqueio $v_{D_3} = -V_{C_3} - nkV_{in}$. Em virtude da simetria dos capacitores, v_{D_2} e v_{D_3} são iguais. Para futuras citações no texto, esta tensão é definida como $V_{D2,3,e2}$.

Ao observar a Figura 25(b), a malha envolvendo a v_{L_o} é determinada pela Equação (3.10). Durante este intervalo, os capacitores C_1 , C_2 , C_3 e C_4 são descarregados através de L_o . Portanto, a energia nesses componentes é transmitida à carga. Assim, pode-se afirmar que esta etapa caracteriza o alto ganho de tensão da topologia.

Por fim, a corrente no indutor L_o é definida ao integrar a tensão $V_{L_o,on}$ ao longo do intervalo $t - t_2$, tem-se:

$$i_{L_o}(t) = i_{L_o}(t_2) + \frac{2V_{C_1} + 2V_{C_2} - V_o}{L_o}(t - t_1). \quad (3.16)$$

3.2.1.3 Etapa 3

Em t_2 , a chave S é desligada e a tensão neste componente aumenta rapidamente. Na Figura 25(c), note que a tensão de bloqueio na chave é definida pelos capacitores de grampeamento C_1 e C_4 . Assim, $v_S = V_{C_1} = V_{C_4}$.

Nesta etapa, o indutor L_m transfere energia aos enrolamentos secundários. A tensão v_{L_m} é obtida refletindo a tensão em N_2 e N_3 . Portanto, a tensão sobre a indutância de magnetização é $v_{L_m} = \frac{-V_{C_2}}{n} = \frac{-V_{C_3}}{n}$. A corrente i_{L_m} é calculada ao integrar a tensão no intervalo $t - t_2$, logo, tem-se:

$$i_{L_m}(t) = i_{L_m}(t_2) - \frac{V_{C_2}}{nL_m}(t - t_2). \quad (3.17)$$

Ao analisar a Figura 25(c), a tensão sobre a indutância de dispersão é determinada pela LKT, assim:

$$v_{L_k}(t) = V_{in} - v_{L_m}(t) - V_{C_4},$$

$$V_{L_k,e3} = V_{in} + \frac{V_{C_2}}{n} - V_{C_4}. \quad (3.18)$$

Neste intervalo, a energia acumulada na indutância de dispersão é reciclada através dos capacitores C_1 , C_2 , C_3 e C_4 . Como consequência, a corrente i_{L_k} começa a decair linearmente. Esta corrente é obtida integrando a tensão v_{L_k} ao longo do intervalo $t - t_2$, assim:

$$i_{L_k}(t) = i_{L_k}(t_2) + \frac{V_{in} + \frac{V_{C_2}}{n} - V_{C_4}}{L_k}(t - t_2). \quad (3.19)$$

Nesta etapa, i_{L_k} atinge valor menor que i_{L_m} . Como i_{N_1} é definida pela diferença entre as correntes através das indutâncias de dispersão e magnetização, a corrente no enrolamento primário decresce linearmente.

Com o pico de tensão na chave, a indutância de dispersão força a polarização dos diodos D_1 e D_4 . Para determinar as correntes i_{D_1} e i_{D_4} , é necessário aplicar a LKC nos ânodos e cátodos desses componentes. Os nós em D_1 determinam:

$$i_{L_k}(t) = i_{D_1}(t) + i_{C_4}(t), \quad (3.20)$$

$$i_{D_1}(t) = i_{C_1}(t) + i_{L_o}(t), \quad (3.21)$$

ao substituir o valor de i_{D_1} da Equação (3.21) na Equação (3.20), tem-se:

$$i_{L_k}(t) = i_{C_1}(t) + i_{L_o}(t) + i_{C_4}(t). \quad (3.22)$$

O mesmo procedimento é realizado para D_2 , assim, define-se:

$$i_{D_4}(t) = i_{L_o}(t) + i_{C_4}(t), \quad (3.23)$$

$$i_{L_k}(t) = i_{D_4}(t) + i_{C_1}(t), \quad (3.24)$$

$$i_{L_k}(t) = i_{L_o}(t) + i_{C_4}(t) + i_{C_1}(t). \quad (3.25)$$

Devido à simetria dos capacitores, as correntes i_{C_1} e i_{C_4} são iguais. Através da soma das Equações (3.22) e (3.25), o valor de i_{C_1} é calculado por:

$$i_{C_1}(t) = \frac{i_{L_k}(t) - i_{L_o}(t)}{2}, \quad (3.26)$$

substitui-se este valor nas Equações (3.21) e (3.23) para obter as correntes nos diodos D_1 e D_2 no tempo como:

$$\begin{aligned} i_{D_1}(t) &= \frac{i_{L_k}(t)}{2} + \frac{i_{L_o}(t)}{2}, \\ i_{D_4}(t) &= \frac{i_{L_k}(t)}{2} + \frac{i_{L_o}(t)}{2}. \end{aligned} \quad (3.27)$$

Nesta etapa, a energia armazenada em L_m é transferida para os enrolamentos secundários, polarizando os diodos D_2 e D_3 . A corrente i_{N_1} é refletida para N_2 e N_3 , dividindo-se igualmente. Ao analisar a Figura 25(c), observe que a corrente no diodo D_2 equivale ao negativo da corrente em N_2 , o mesmo acontece para D_3 e N_3 , logo:

$$i_{D_2}(t) = i_{D_3}(t) = \frac{i_{L_m}(t) - i_{L_k}(t)}{2n}. \quad (3.28)$$

Por fim, o indutor L_o é descarregado. Na Figura 25(c), a tensão $V_{L_o,e3}$ é obtida pela malha:

$$V_{L_o,e3} = V_{C_1} + 2V_{C_2} - V_o. \quad (3.29)$$

Ao integrar a v_{L_o} no intervalo $t - t_2$, determina-se a corrente em L_o como:

$$i_{L_o}(t) = i_{L_o}(t_2) + \frac{V_{C_1} + 2V_{C_2} - V_o}{L_o}(t - t_2). \quad (3.30)$$

3.2.1.4 Etapa 4

Nesta etapa, a chave permanece desligada e a indutância L_m continua descarregando com tensão $v_{L_m} = \frac{-V_{C_2}}{n} = \frac{-V_{C_3}}{n}$. A corrente na indutância de magnetização é definida integrando a tensão v_{L_m} no intervalo $t - t_3$, o que resulta em:

$$i_{L_m}(t) = i_{L_m}(t_3) - \frac{V_{C_2}}{nL_m}(t - t_3). \quad (3.31)$$

Na Figura 25(d), observe que a tensão no indutor de dispersão é obtida pela LKT como:

$$\begin{aligned} v_{L_k} &= V_{in} - v_{L_m} - 2V_{C_1} - 2V_{C_2} + v_{L_o} + V_o, \\ v_{L_k} - v_{L_o} &= V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} - 2V_{C_2} + V_o. \end{aligned} \quad (3.32)$$

Percebe-se que é necessário determinar a tensão v_{L_o} . Neste intervalo, a corrente i_{L_k} circula retornando a entrada do conversor devido a descarga dos capacitores C_1 e C_4 e se mantém constante devido ao indutor L_o . Ao analisar a Figura 25(d), note que i_{L_k} corresponde ao negativo da corrente no indutor L_o . Assim, pode-se definir as tensões v_{L_k} e v_{L_o} como:

$$\begin{aligned} v_{L_k} &= L_k \frac{\partial i_{L_k}}{\partial t}, \\ v_{L_o} &= L_o \frac{-\partial i_{L_k}}{\partial t}, \\ v_{L_k} - v_{L_o} &= (L_k + L_o) \frac{\partial i_{L_k}}{\partial t}. \end{aligned} \quad (3.33)$$

A corrente i_{L_k} é, então, determinada ao integrar a Equação (3.33) no intervalo $t - t_3$ como:

$$\begin{aligned} i_{L_k}(t) &= i_{L_k}(t_3) + \frac{v_{L_k} - v_{L_o}}{L_k + L_o}(t - t_3), \\ i_{L_k}(t) &= i_{L_k}(t_3) + \frac{V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} - 2V_{C_2} + V_o}{L_k + L_o}(t - t_3), \end{aligned} \quad (3.34)$$

como i_{L_k} corresponde ao inverso da corrente i_{L_o} , tem-se:

$$i_{L_o}(t) = i_{L_o}(t_3) - \frac{V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} - 2V_{C_2} + V_o}{L_k + L_o}(t - t_3). \quad (3.35)$$

Portanto, define-se as tensões $V_{L_k,e4}$ e $V_{L_o,e4}$ como:

$$V_{L_k,e4} = \frac{L_k}{L_k + L_o} \left(V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} - 2V_{C_2} + V_o \right), \quad (3.36)$$

$$V_{L_o,e4} = \frac{-L_o}{L_k + L_o} \left(V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} - 2V_{C_2} + V_o \right), \quad (3.37)$$

Através da LKC, observe que a corrente no enrolamento primário é definida pela diferença entre as correntes nas indutâncias de dispersão e magnetização. Por causa do valor negativo da corrente i_{L_k} , a corrente i_{N_1} atinge valor maior que i_{L_m} .

A tensão de bloqueio na chave é obtida pela LKT (ver Figura 25(d)), como:

$$v_S(t) = V_{in} - v_{L_m}(t) - v_{L_k}(t),$$

$$\begin{aligned} V_{S,e4} &= V_{in} + \frac{V_{C_2}}{n} - \frac{L_k}{L_k + L_o} \left(V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} - 2V_{C_2} + V_o \right), \\ V_{S,e4} &= \left(V_{in} + \frac{V_{C_2}}{n} \right) \frac{L_o}{L_k + L_o} + (2V_{C_1} + 2V_{C_2} - V_o) \frac{L_k}{L_k + L_o}, \end{aligned} \quad (3.38)$$

define-se $k_o = \frac{L_k}{L_k + L_o}$, logo, tem-se:

$$V_{S,e4} = (1 - k_o) \left(V_{in} + \frac{V_{C_2}}{n} \right) + k_o(2V_{C_1} + 2V_{C_2} - V_o), \quad (3.39)$$

Na Equação (3.27), observe que as correntes em D_1 e D_4 dependem de i_{L_k} e i_{L_o} . Como neste intervalo, i_{L_k} corresponde ao inverso de i_{L_o} , as correntes i_{D_1} e i_{D_4} são nulas, forçando o bloqueio desses diodos no início da etapa. Portanto, as perdas por recuperação reversa em D_1 e D_4 são eliminadas pela comutação sob corrente nula.

Note na Figura 25(d) que a tensão de bloqueio em D_1 é determinada pela LKT, como:

$$v_{D_1} = V_{in} - v_{L_m} - v_{L_k} - V_{C_1},$$

$$v_{D_1} = (k_o - 1) \left(V_{in} + \frac{V_{C_2}}{n} \right) - k_o(2V_{C_1} + 2V_{C_2} - V_o), \quad (3.40)$$

ao realizar o mesmo para v_{D_4} , tem-se:

$$v_{D_4} = V_{in} - v_{L_m} - v_{L_k} - V_{C_4}, \quad (3.41)$$

como há simetria entre os capacitores do circuito de grampeamento: $v_{D_4} = v_{D_1}$. Em futuras referências no texto, esta tensão é dita como $V_{D1,4,e4}$.

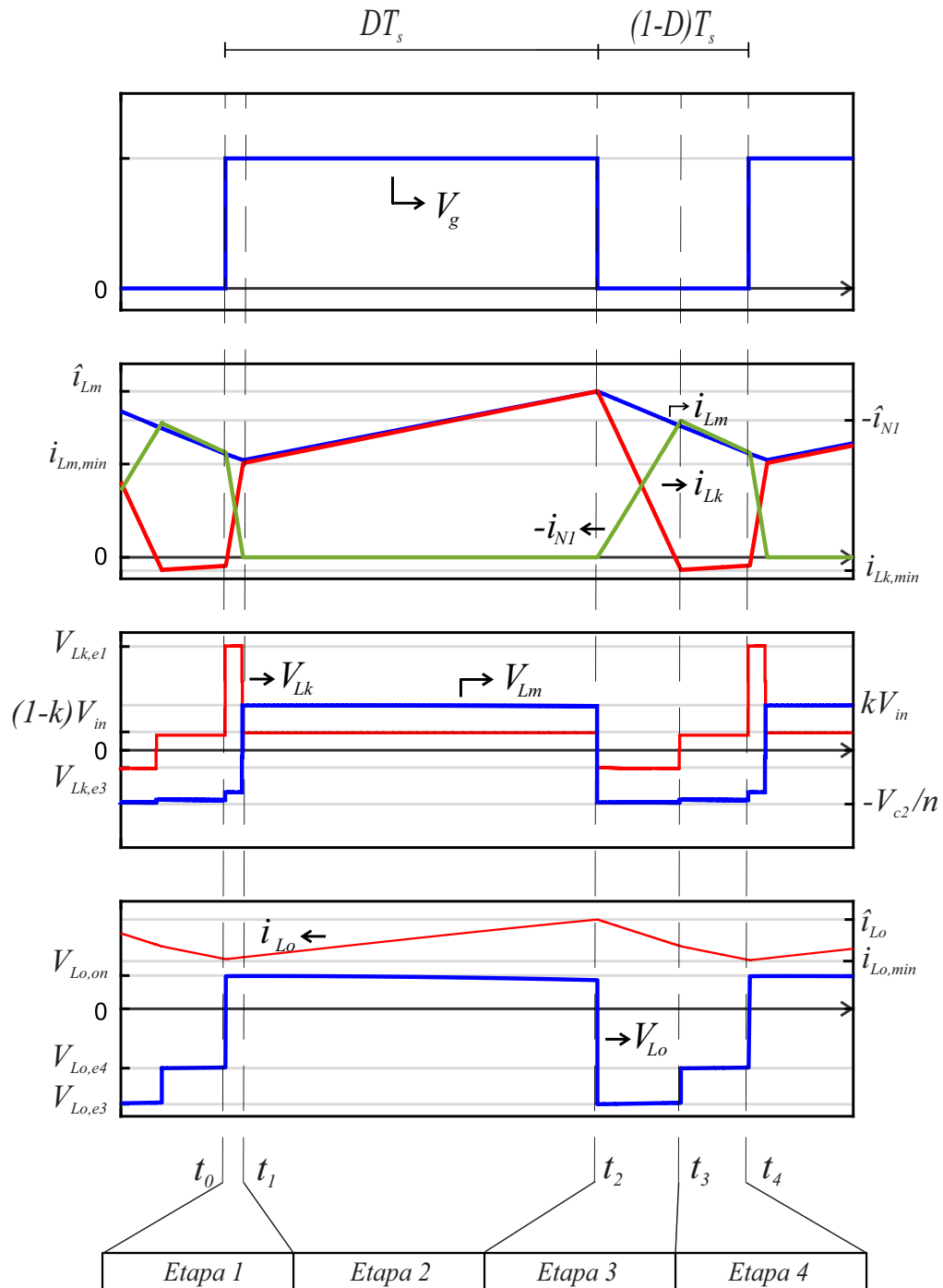
Devido à transferência de energia de L_m para os enrolamentos secundários, os diodos D_2 e D_3 permanecem diretamente polarizados. As correntes nesses elementos são definidas pelo inverso das correntes em N_2 e N_3 , assim:

$$i_{D_2}(t) = i_{D_3}(t) = \frac{i_{L_m}(t) - i_{L_k}(t)}{2n}. \quad (3.42)$$

A etapa 4 é finalizada quando S volta a conduzir e o ciclo reinicia. Como a corrente i_{L_k} equivale ao negativo de i_{L_o} , note na Equação (3.4) que a chave é ligada com comutação sob corrente nula.

As principais formas de onda do conversor são mostradas nas Figuras 26, 27 e 28.

Figura 26 – Principais formas de onda nos indutores

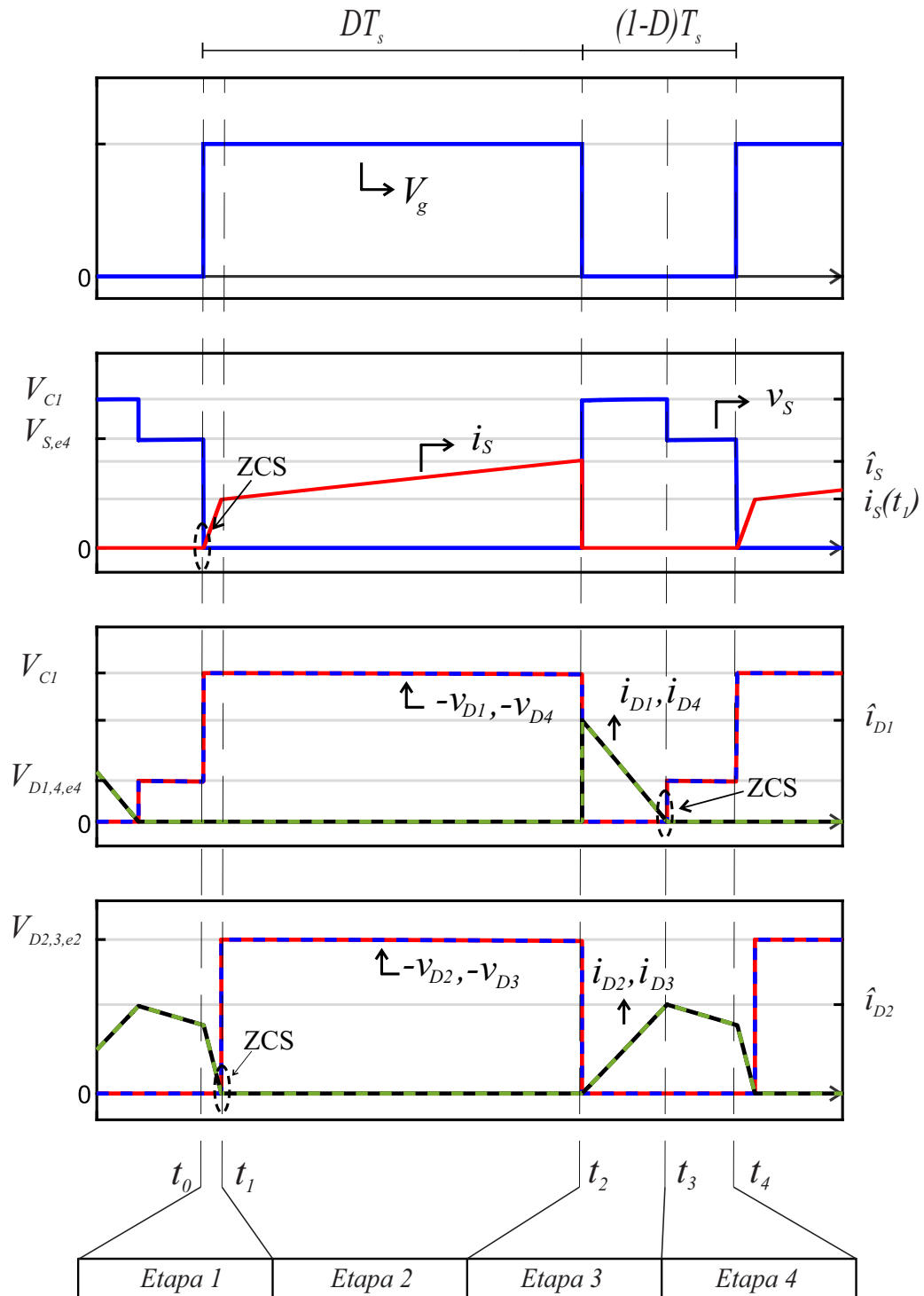


Fonte: Formas de ondas obtidas na simulação.

3.2.1.5 Operação em regime permanente

Para encontrar as expressões da tensão sobre os principais componentes do circuito e o ganho de tensão quando o conversor opera em regime permanente adota-se as considerações descritas previamente. Devido à simetria, os valores das grandezas correspondentes em cada CMT são idênticos. Desta forma, é possível analisar apenas uma CMT. Sendo assim, escolhe-se a CMT superior.

Figura 27 – Principais formas de onda nos semicondutores

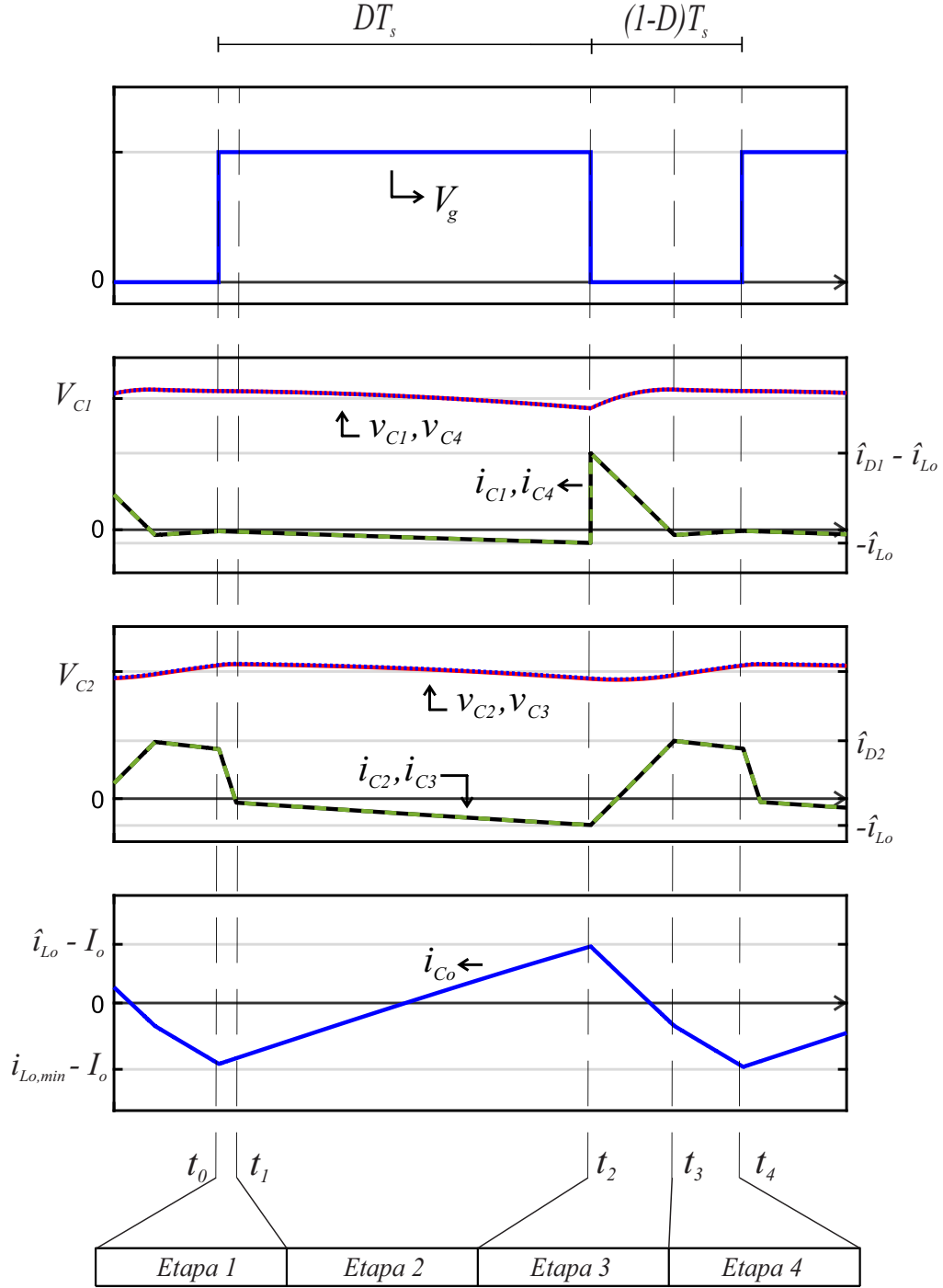


Fonte: Formas de ondas obtidas na simulação.

Antes de iniciar a análise em regime permanente é necessário definir os intervalos de tempo para cada etapa. Os intervalos $d_1 = [t_0, t_1]$ e $d_2 = [t_1, t_2]$ são obtidos considerando a corrente média na chave. Note na Figura 27 que I_S é definida pela área de i_s , assim, tem-se:

$$I_S = A_1 + A_2 = \frac{i_s(t_1)d_1}{2} + \frac{(\hat{i}_s + i_s(t_1))d_2}{2}, \quad (3.43)$$

Figura 28 – Principais formas de onda nos capacitores



Fonte: Formas de ondas obtidas na simulação.

onde $i_S(t_1)$ é determinada pela Equação (3.4). Ainda, sabe-se que $d_1 + d_2 = D$. Logo, pode-se definir os intervalos d_1 e d_2 como:

$$d_1 = \frac{L_o(i_{Lm,min}D - 2I_S + i_{Lo,min}D + \hat{i}_SD)}{\hat{i}_SL_o + DT_s(V_o - 2V_{C1} - 2V_{C2})}, \quad (3.44)$$

$$d_2 = D - \frac{L_o(i_{Lm,min}D - 2I_S + i_{Lo,min}D + \hat{i}_SD)}{\hat{i}_SL_o + DT_s(V_o - 2V_{C1} - 2V_{C2})}. \quad (3.45)$$

Analogamente, os intervalos $d_3 = [t_2, t_3]$ e $d_4 = [t_3, t_4]$ são definidos pela corrente média em D_1 . Ao observar a Figura 27, I_{D_1} é calculada pela área de i_{D_1} , logo, tem-se:

$$I_{D_1} = \frac{\hat{i}_{D_1} d_3}{2}, \quad (3.46)$$

note na Figura 27 que $d_3 + d_4 = (1 - D)$. Portanto, os intervalos de tempo são obtidos como:

$$d_3 = \frac{2I_{D_1}}{\hat{i}_{D_1}}, \quad (3.47)$$

$$d_4 = 1 - D - \frac{2I_{D_1}}{\hat{i}_{D_1}}. \quad (3.48)$$

Uma vez definidos os intervalos de tempos, é possível determinar as equações da tensões sobre os indutores. Devido ao princípio de balanço volt-segundo, a tensão média do indutor em regime permanente é nula. Observe na Figura 27 que é possível determinar para o indutor de magnetização o balanço volt-segundo. Assim, tem-se:

$$\frac{1}{T_s} \left[\int_{t_0}^{t_1} \frac{-V_{C_2}}{n} + \int_{t_1}^{t_2} kV_{in} + \int_{DT_s}^{T_s} \frac{-V_{C_2}}{n} \right] = 0, \quad (3.49)$$

$$V_{C_2} = \frac{nk(D - d_1)V_{in}}{1 - D + d_1}. \quad (3.50)$$

Analogamente, o balanço volt-segundo é determinado para o indutor de dispersão como:

$$\begin{aligned} \frac{1}{T_s} \left[\int_{t_0}^{t_1} V_{L_k, e1} + \int_{t_1}^{t_2} (1 - k)V_{in} + \int_{t_2}^{t_3} V_{L_k, e3} + \int_{t_3}^{t_4} V_{L_k, e4} \right] &= 0, \\ \left(V_{in} + \frac{V_{C_2}}{n} \right) d_1 + (1 - k)d_2 V_{in} + \left(V_{in} + \frac{V_{C_2}}{n} - V_{C_1} \right) d_3 \\ + k_o \left(V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} - 2V_{C_2} + V_o \right) d_4 &= 0, \end{aligned} \quad (3.51)$$

observe que o termo $V_{in} + \frac{V_{C_2}}{n}$ se repete ao longo da Equação (3.51). É possível defini-lo em função de d_1 como:

$$V_{in} + \frac{V_{C_2}}{n} = \frac{d_1 + 1 - D + kV_{in}(D - d_1)}{1 - D + d_1}. \quad (3.52)$$

Ainda, ao aplicar o princípio de balanço volt-segundo no indutor L_o , tem-se:

$$\begin{aligned} \frac{1}{T_s} \left[\int_0^{DT_s} V_{L_o, on} + \int_{t_2}^{t_3} V_{L_o, e3} + \int_{t_3}^{t_4} V_{L_o, e4} \right] &= 0, \\ (2V_{C_1} + 2V_{C_2} - V_o)D + (V_{C_1} + 2V_{C_2} - V_o)d_3 \\ + (1 - K_o) \left(V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} - 2V_{C_2} + V_o \right) d_4 &= 0, \end{aligned} \quad (3.53)$$

note que o termo $-2V_{C_1} - 2V_{C_2} + V_o$ é repetido na Equação (3.53). Ao analisar a Equação (3.44), pode-se determiná-lo em função do intervalo de tempo d_1 por:

$$V_o - 2V_{C_1} - 2V_{C_2} = \frac{L_o(i_{L_m,min}D - 2I_S + i_{L_o,min}D + \hat{i}_S D)}{d_1 D T_s} - \frac{\hat{i}_S L_o}{D T_s}. \quad (3.54)$$

Sabe-se que os intervalos de tempo, d_1 , d_2 , d_3 e d_4 , e as tensões em todos capacitores são positivos. Além disso, as seguintes considerações são realizadas:

$$d_1 + d_2 = D,$$

$$d_1 < d_2,$$

$$d_3 + d_4 = 1 - D,$$

$$d_1 + d_2 + d_3 + d_4 = 1.$$

Realiza-se as devidas substituições e o valor da tensão sobre o capacitor C_1 é calculado por:

$$V_{C_1} = \frac{V_{in} + nD}{1 - D}, \quad (3.55)$$

ressalta-se que a simetria dos capacitores correlatos garante que $V_{C_4} = V_{C_1}$.

Logo, o valor da tensão sobre o capacitor C_2 é obtido por:

$$V_{C_2} = \frac{nkDV_{in} - nD}{1 - D}, \quad (3.56)$$

por causa da simetria dos capacitores correlatos, $V_{C_3} = V_{C_2}$.

3.2.1.5.1 Ganho de tensão

O ganho de tensão é definido pela relação entre as tensões de entrada, V_{in} , e saída V_o do conversor. O ganho de tensão é determinado ao aplicar o princípio de balanço volt-segundo no indutor L_o descrito na Equação (3.53).

Resolvendo a integral e substituindo as Equações (3.55) e (3.56) na Equação (3.53), é obtida a expressão para o cálculo do ganho de tensão aproximado do conversor no modo de condução contínua (MCC) como:

$$M_{MCC} = \frac{V_o}{V_{in}} = \frac{1 + 2nkD + D}{1 - D}. \quad (3.57)$$

Percebe-se que para a condição ideal do acoplamento magnético, isto é, $k = 1$, o ganho de tensão é o definido por:

$$M = \frac{V_o}{V_{in}} = \frac{1 + 2nD + D}{1 - D}. \quad (3.58)$$

3.2.1.5.2 Esforços de corrente média e máxima

A corrente média no indutor de saída L_o é definida aplicando a LKC no nó envolvendo L_o , C_o e R_o na Figura 24. Sabe-se que a corrente média no capacitor C_o é igual a zero, logo, o valor médio de I_{L_o} é obtido por:

$$I_{L_o} = I_o. \quad (3.59)$$

Com base na mesma análise, na Figura 25(c), observa-se que a corrente média na indutância de dispersão é obtida como:

$$I_{L_k} = I_{in} = MI_o. \quad (3.60)$$

As correntes médias nos diodos são obtidas aplicando o balanço ampère-segundo nos capacitores C_1 , C_2 , C_3 e C_4 na Figura 24. Assim, tem-se:

$$I_{D_1} = I_{D_4} = I_{D_2} = I_{D_3} = I_o. \quad (3.61)$$

Para definir a corrente média sobre a chave é utilizada a primeira lei de kirchhoff sobre o nó envolvendo D , L_k , D_1 e C_4 (ver Figura 24). Logo, obtém-se:

$$I_S - I_{L_k} + I_{D_1} + I_{C_4} = 0, \quad (3.62)$$

como a corrente média no capacitor C_4 é nula, substitui-se (3.60) e (3.61) em (3.62), calcula-se:

$$I_S = (M - 1)I_o. \quad (3.63)$$

Na Figura 24, observa-se que a corrente nos enrolamentos secundários é igual a corrente sobre o diodo em série correspondente. Assim, tem-se:

$$I_{N_2} = I_{D_2} = I_o, \quad (3.64)$$

$$I_{N_3} = I_{D_3} = I_o. \quad (3.65)$$

Desta maneira, a corrente média no enrolamento primário é definida pela relação de transformação. Logo, tem-se:

$$I_{N_1} = nI_{N_2} + nI_{N_3} = 2nI_o. \quad (3.66)$$

A corrente média da indutância de magnetização é calculada a partir da LKC, envolvendo L_m , N_1 e L_k , na Figura 24, resultando em:

$$I_{Lm} - I_{N_1} = I_{L_k}. \quad (3.67)$$

Ao substituir as Equações (3.60), (3.66) e (3.67), o valor médio da corrente magnetização é calculado por:

$$I_{Lm} = (M + 2n)I_o. \quad (3.68)$$

A corrente máxima no indutor de saída ocorre ao final da etapa 2 e é calculada a partir da sua ondulação, Δi_{L_o} . Pode-se determiná-la pela tensão neste componente durante este intervalo. Assim, utilizando a Equação (3.16), a corrente máxima é:

$$\hat{i}_{L_o} = I_{L_o} + \frac{\Delta i_{L_o}}{2} = I_o + \frac{T_s DV_{in}}{2L_o}. \quad (3.69)$$

A corrente de pico no indutor de magnetização é definida como a corrente média neste componente mais a metade de sua ondulação. Desta forma, a partir das equações (3.12) e (3.68), obtêm-se:

$$\hat{i}_{L_m} = I_{L_m} + \frac{\Delta i_{L_m}}{2} = (M + 2n)I_o + \frac{T_s DV_{in}}{2L_m}. \quad (3.70)$$

Nota-se na Figura 26 que a corrente máxima no indutor de dispersão é definida em $t = t_2$ e possui valor igual a corrente no indutor de magnetização neste instante. Logo, esta corrente é calculada por:

$$\hat{i}_{L_k} = \hat{i}_{L_m} = (M + 2n)I_o + \frac{T_s DV_{in}}{2L_m}. \quad (3.71)$$

O valor máximo da corrente na chave semicondutora é definido no instante $t = t_2$, observado na Figura 27. Este momento é definido pela etapa 2. Assim, aplica-se a LKC durante este intervalo, obtendo:

$$\hat{i}_S = \hat{i}_{L_k} - i_{C_4}(t_2). \quad (3.72)$$

Ao observar a Figura 25(b), note que a corrente circulando nos capacitores C_1 e C_4 nesta etapa corresponde ao negativo da corrente no indutor L_o .

$$i_{C_4}(t_2) = -i_{L_o}(t_2) = -\hat{i}_{L_o} = -I_o - \frac{T_s DV_{in}}{2L_o}. \quad (3.73)$$

Portanto, o valor da corrente de pico na chave semicondutora é calculado por:

$$\hat{i}_S = (M + 2n + 1)I_o + \frac{T_s DV_{in}}{2} \left(\frac{L_o + L_m}{L_o L_m} \right). \quad (3.74)$$

Na Figura 27, note que corrente máxima sobre os diodos D_1 e D_4 acontece no instante $t = t_2$. Durante a etapa 3, na Equação (3.27), é definido o valor de $i_{D_1} = i_{D_4}$ dependente

das correntes nas indutâncias de magnetização e dispersão. Assim, observe na Figura 26 que o valor de $i_{L_k}(t_2)$ é igual a $\hat{i}_{L_k}$ e $i_{L_o}(t_2) = \hat{i}_{L_o}$. Logo, a corrente de pico sobre os diodos de grampeamento é obtida por:

$$\hat{i}_{D_1} = \hat{i}_{D_4} = \frac{(M + 2n + 1)I_o}{2} + \frac{T_s DV_{in}}{4} \left(\frac{L_m + L_o}{L_m L_o} \right). \quad (3.75)$$

No instante $t = t_3$, determina-se o pico de corrente nos diodos D_2 e D_3 , conforme ilustrado na Figura 27. O valor desta corrente é definido pela corrente no enrolamento secundário do indutor acoplado. Conforme visto nas Equações (3.66) e (3.67), obtém-se pela LKC:

$$\hat{i}_{D_2} = \hat{i}_{D_3} = \frac{\hat{i}_{N_1}}{2n} = \frac{i_{L_m}(t_3) - i_{L_k}(t_3)}{2n}. \quad (3.76)$$

A corrente $i_{L_k}(t_3)$ é obtida pela análise da Figura 26. Durante a etapa 3, a corrente pelo indutor de dispersão é oposto da corrente no indutor de saída, conforme observado na Figura 25(c). Ainda, para determinar o valor de $i_{L_m}(t_3)$ utiliza-se a equação de tensão no indutor durante esta etapa. Assim, tem-se:

$$i_{L_k}(t_3) = -i_{L_o}(t_3) = -\hat{i}_{L_o}, \quad (3.77)$$

$$i_{L_m}(t_3) = i_{L_m}(t_2) - \frac{V_{C_2}}{nL_m}(t_3 - t_2) = \hat{i}_{L_m} - \frac{V_{C_2}}{nL_m}(t_3 - t_2) \quad (3.78)$$

O intervalo de tempo $d_3 = [t_2, t_3]$ foi definido pela Equação (3.47). Nota-se na Figura 27 que este intervalo corresponde a condução dos diodos D_1 e D_4 . Logo, tem-se:

$$t_3 - t_2 = \frac{2I_o}{\frac{(M+2n)I_o}{2} + \frac{T_s DV_{in}}{4L_m}} T_s. \quad (3.79)$$

Substituindo as Equações (3.79) e (3.56) na Equação (3.78), determina-se:

$$i_{L_m}(t_3 - t_2) = \frac{2I_o}{\frac{(M+2n)I_o}{2} + \frac{T_s DV_{in}}{4L_m}} \frac{kDT_s V_{in}}{(1 - D)L_m}, \quad (3.80)$$

$$i_{L_m}(t_3) = (M + 2n)I_o + \frac{T_s DV_{in}}{2L_m} - \left(\frac{2I_o}{\frac{(M+2n)I_o}{2} + \frac{T_s DV_{in}}{4L_m}} \frac{kDT_s V_{in}}{(1 - D)L_m} \right). \quad (3.81)$$

Ao substituir as Equações (3.77) e (3.81) na Equação (3.76), o valor da corrente de pico no enrolamento primário e nos diodos D_2 e D_3 são calculados por:

$$\hat{i}_{N_1} = (M + 2n + 1)I_o + \frac{V_{in}DT_s}{2} \frac{L_m + L_o}{L_m L_o} + \frac{8I_o}{2I_o L_m (M + 2n) + V_{in}DT_s} \frac{kDT_s V_{in}}{D - 1}, \quad (3.82)$$

$$\hat{i}_{D_2} = \hat{i}_{D_3} = \frac{M + 2n + 1}{2nI_o} + \frac{V_{in}DT_s}{4n} \frac{L_m + L_o}{L_m L_o} + \frac{4I_o}{2I_o L_m (M + 2n) + V_{in}DT_s} \frac{kDT_s V_{in}}{n(D - 1)}. \quad (3.83)$$

3.2.1.5.3 Esforços sobre os semicondutores

Os esforços nos elementos semicondutores são definidos pela tensão máxima sobre eles. A expressão é obtida aplicando a LKT no instante em que ocorre o bloqueio do mesmo, t_2 . Nesse instante, tem-se:

$$V_{S,max} = V_{C_1} = \frac{V_{in} + nD}{1 - D}. \quad (3.84)$$

O valor máximo da tensão reversa dos diodos de grameamento, D_1 e D_4 , é obtido, aplicando a lei de Kirchhoff das tensões no instante do bloqueio. Nesse momento, tem-se que:

$$V_{D_1,max} = V_{D_4,max} = -V_{C_1} = \frac{-V_{in} - nD}{1 - D}. \quad (3.85)$$

Analogamente, durante o etapa 2, ilustrada na Figura 25(b), obtém-se a expressão do valor máximo da tensão reversa a que os diodos das CMTs, D_2 e D_3 , é submetido.

$$V_{D_2,max} = V_{D_3,max} = -V_{C_2} - v_{N_2} = \frac{-nkDV_{in} - nD}{1 - D} - nkV_{in}. \quad (3.86)$$

As correntes eficazes nos semicondutores podem ser obtidas por meio das formas de ondas apresentadas na Figura 27. Sabe-se que a expressão utilizada para determinação desses valores é:

$$i_{rms} = \sqrt{\frac{1}{T_s} \int_{t_a}^{t_a+T_s} i(t)^2 dt}. \quad (3.87)$$

Na primeira e segunda etapa de operação, corrente na chave é composta pela corrente de dispersão e a corrente no indutor L_o . Durante as etapas remanescentes, a chave é desligada e corrente nela nula. Assim, determina-se o valor eficaz na chave como:

$$i_{S,rms} = \sqrt{\frac{1}{T_s} \left(\int_{t_0}^{t_1} i_{S,e1}^2 dt + \int_{t_1}^{t_2} i_{S,e2}^2 dt + \int_{t_2}^{t_4} 0 dt \right)}, \quad (3.88)$$

em que:

$$i_{S,e1} = \frac{i_S^2(t_1)}{d_1 T_s}, \quad (3.89)$$

$$i_{S,e2} = \left(\frac{\hat{i}_S - i_S(t_1)}{d_2 T_s} \right) t + i_S(t_1), \quad (3.90)$$

resultando em:

$$i_{S,rms} = \sqrt{\left(\frac{i_S(t_1)^2 + i_S(t_1)\hat{i}_S + \hat{i}_S^2}{3} \right) (D - d_1) + \frac{i_S(t_1)^2 d_1}{3}}, \quad (3.91)$$

no qual:

$$i_S(t_1) = i_{L_m,min} + i_{L_o}(t_1) = I_o - \frac{T_s DV_{in}}{2L_o} + \frac{V_{in}}{1 - D} (1 - D(1 + 2n)) d_1 T_s, \quad (3.92)$$

a corrente $\hat{i}_S$ é calculada pela Equação (3.74) e o intervalo de tempo d_1 é definido pela Equação (3.44).

Os diodos D_1 e D_4 conduzem apenas durante a etapa 3. A corrente nesses componentes é calculada pela Equação (3.27), sendo dependente do valor de i_{L_k} e i_{L_o} . Ao observar a Figura 27, tem-se:

$$i_{D_{1,4},e3} = \left(\frac{0 - \hat{i}_{D_1}}{d_3 T_s} \right) t + \hat{i}_{D_1}. \quad (3.93)$$

Portanto, a corrente eficaz nos diodos D_1 e D_4 é definida por:

$$i_{D_{1,4},rms} = \sqrt{\frac{1}{T_s} \left(\int_{t_0}^{t_3} 0 dt + \int_{t_2}^{t_3} i_{D_{1,4},e3}^2 dt + \int_{t_3}^{t_4} 0 dt \right)},$$

$$i_{D_{1,4},rms} = \sqrt{\frac{I_o}{3} \left(I_o(2n + M) + \frac{V_{in} D T_s}{2L_m} \right)}. \quad (3.94)$$

O mesmo procedimento é realizado para D_2 e D_3 . Antes de definir a corrente eficaz em D_2 e D_3 , é necessário determinar a corrente para cada etapa de condução. Logo, durante a etapa 1, tem-se:

$$i_{D_{2,3},e1} = \left(\frac{0 - i_{D_2}(t_0)}{d_1 T_s} \right) t + i_{D_2}(t_0), \quad (3.95)$$

onde $i_{D_2}(t_0)$ é obtida pela Equação (3.9).

Na etapa 2, D_2 e D_3 estão bloqueados, logo não há corrente nesses elementos. No início da etapa 3, os diodos D_2 e D_3 são diretamente polarizados e a corrente nesta etapa é calculada por:

$$i_{D_{2,3},e3} = \left(\frac{\hat{i}_{D_2}}{d_3 T_s} \right) t, \quad (3.96)$$

No início da etapa 4, a corrente em D_2 e D_3 é máxima. Durante este intervalo, a corrente desce até $i_{D_2}(t_0)$. Assim, a corrente na etapa 4 é definida por:

$$i_{D_{2,3},e4} = \left(\frac{i_{D_2}(t_0) - \hat{i}_{D_2}}{d_4 T_s} \right) t + \hat{i}_{D_2}, \quad (3.97)$$

Portanto, a corrente eficaz em D_2 e D_3 é calculada por:

$$i_{D_{2,3},rms} = \sqrt{\frac{1}{T_s} \left(\int_{t_0}^{t_1} i_{D_{2,3},e1}^2 dt + \int_{t_1}^{t_2} 0 dt + \int_{t_2}^{t_3} i_{D_{2,3},e3}^2 dt + \int_{t_3}^{t_4} i_{D_{2,3},e4}^2 dt \right)},$$

$$i_{D_{2,3},rms} = \sqrt{\left(\frac{i_{D_2}(t_0)^2 + i_{D_2}(t_0)\hat{i}_{D_2} + \hat{i}_{D_2}^2}{3} \right) (1 - D - d_3) + \frac{i_{D_2}(t_0)^2 d_1}{3} + \frac{\hat{i}_{D_2}^2 d_3}{3}}, \quad (3.98)$$

em que:

$$i_{D_2}(t_0) = \frac{i_{L_m}(t_0) - i_{L_k}(t_0)}{2n} = (M + 2n - 1)I_o - \frac{T_s DV_{in}}{2} \frac{1}{L_m + L_o} + \frac{V_{C_2}}{nL_m} d_1 T_s, \quad (3.99)$$

a corrente $\hat{i}_{D_2}$ é calculada pela Equação (3.83), a tensão V_{C_2} determinada pela (3.56) e os intervalos de tempo d_1 e d_3 definidos pela Equações (3.44) e (3.47).

3.2.1.6 Condições para Comutação Suave

Com o objetivo de alcançar a característica de comutação suave sob corrente nula na entrada em condução da chave e no bloqueio dos diodos, algumas condições devem ser satisfeitas:

3.2.1.6.1 ZCS na entrada em condução de S

A comutação suave sob corrente nula na chave é obtida quando a corrente no indutor de dispersão iguala-se ao negativo da corrente no indutor L_o antes da chave desligar. Para garantir que fato, os capacitores C_1 e C_4 devem descarregar com corrente igual a $-i_{L_o}$ durante toda etapa 4 (ver Figuras 28 e 27). Logo, tem-se:

$$d_4 \leq \frac{2C_{1,4}V_{C_{1,4}}}{T_s(i_{L_o}(t_3))}. \quad (3.100)$$

3.2.1.6.2 ZCS no bloqueio de D_1 e D_4

Para a obtenção da comutação suave sob corrente nula no bloqueio dos diodos D_1 e D_4 , a corrente i_{L_k} deve igualar ao negativo da corrente i_{L_o} antes de D_1 e D_4 serem reversamente polarizados. Ainda, observe na Figura 28 que a carga dos capacitores C_1 e C_4 deve ser finalizada ao final do intervalo d_3 , portanto:

$$d_3 \leq \frac{4C_{1,4}V_{C_{1,4}}}{T_s(\hat{i}_{L_k} - \hat{i}_{L_o} + 2i_{L_o}(t_3))}. \quad (3.101)$$

3.2.1.6.3 ZCS no bloqueio de D_2 e D_3

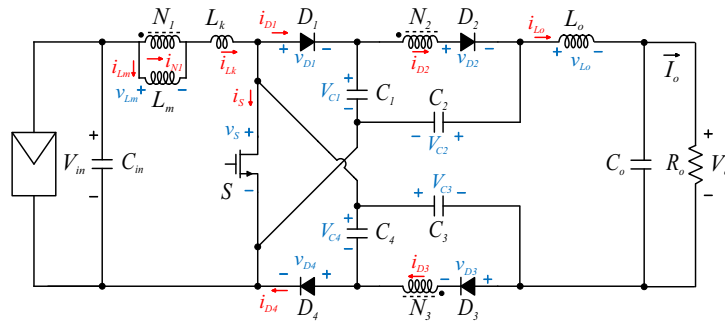
Para a obtenção da comutação suave sob corrente nula no bloqueio dos diodos D_2 e D_3 , a corrente no indutor de magnetização deve igualar a corrente no indutor de dispersão antes da chave entrar em condução. Note na Figura 28 que o descarregamento dos capacitores C_2 e C_3 é limitado ao intervalo d_2 .

$$d_1 \leq \frac{4nC_{2,3}V_{C_{2,3}}}{T_s(\hat{i}_{L_m}(t_0) + (2n - 1)i_{L_k}(t_0))}. \quad (3.102)$$

3.2.2 Conversor tipo 2

O circuito equivalente do conversor tipo 2 é mostrado na Figura 29. As polaridades de tensão assumidas e as direções das correntes também são apresentadas. Observa-se que as conexões dos capacitores C_2 e C_3 são alteradas em relação ao conversor tipo 1.

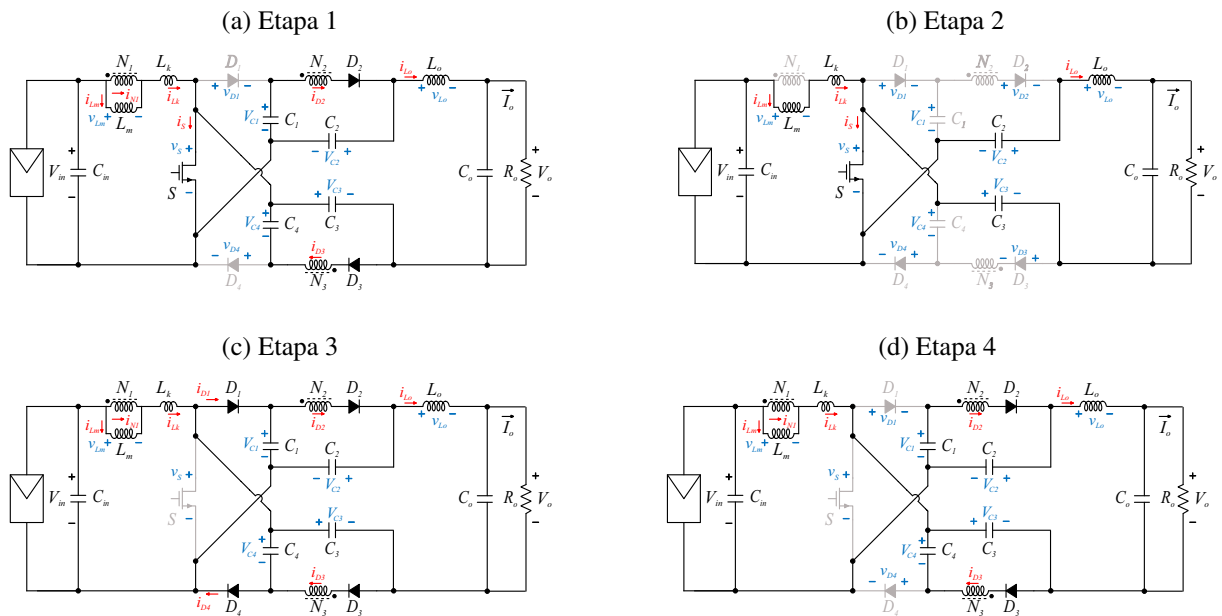
Figura 29 – Circuito equivalente do conversor tipo 2



Fonte: A autora (2021).

Nesta topologia, há quatro etapas de operação durante um período de chaveamento. Essas etapas são caracterizadas pelos estados de condução dos diodos e da chave, sendo definidas na Tabela 2. Os circuitos equivalentes para cada etapa são ilustrados na Figura 30 e os comportamentos dos componentes são descritos brevemente a seguir.

Figura 30 – Etapas de operação do conversor tipo 2



Fonte: A autora (2021).

3.2.2.1 Etapa 1

No início do intervalo, a chave S começa a conduzir e sua corrente é obtida analogamente ao conversor tipo 1. Logo, tem-se:

$$i_{L_k}(t) = i_S(t) + i_{C_4}(t) + i_{C_3}(t),$$

$$i_{L_k}(t) = i_S(t) + i_{C_1}(t) + i_{C_2}(t), \quad (3.103)$$

ainda, é possível determinar as correntes nos diodos D_1 e D_4 como:

$$i_{D_1}(t) = i_{D_2}(t) + i_{C_1}(t),$$

$$i_{D_4}(t) = i_{D_3}(t) + i_{C_4}(t), \quad (3.104)$$

além disso, as correntes i_{D_2} e i_{D_3} são definidas pelos nós:

$$i_{D_2}(t) = i_{L_o}(t) + i_{C_2}(t),$$

$$i_{D_3}(t) = i_{L_o}(t) + i_{C_3}(t), \quad (3.105)$$

ao realizar as devidas substituições, a corrente na chave é calculada por:

$$i_S(t) = \frac{i_{L_k}(t) + i_{L_o}(t)}{2}, \quad (3.106)$$

note que a Equação (3.106) equivale a Equação (3.4).

Os eventos descritos para primeira etapa do conversor tipo 1 ocorrem similarmente neste intervalo. Assim, a indutância de magnetização, L_m , é descarregada com tensão $v_{L_m} = \frac{-V_{C_2}}{n}$ e a corrente i_{L_m} é obtida pela Equação (3.5) ao integrar v_{L_m} no intervalo de tempo $t - t_1$.

O comportamento da indutância de dispersão é similar ao conversor tipo 1 nesta etapa. Na Figura 30(a), determina-se v_{L_k} pela LKT como: $v_{L_k} = V_{in} - v_{L_m} = V_{in} + \frac{V_{C_2}}{n}$. A corrente em L_k também é calculada pela integral da tensão a longo do tempo, logo, tem-se a Equação (3.7).

Assim como no conversor tipo 1, os diodos D_1 e D_4 estão reversamente polarizados nesta etapa. Ao aplicar a LKT (ver Figura 30(a)), a tensão de bloqueio é definida por: $v_{D_1} = v_{D_4} = -V_{C_1}$. Ressalta-se que a igualdade das tensões nos diodos se deve à simetria dos capacitores de grampeamento.

A corrente no enrolamento primário é calculada através da LKC, sendo definida pela diferença entre as correntes i_{L_k} e i_{L_m} . i_{N_1} é refletida nos enrolamentos secundários, dividindo-se igualmente entre eles. Desta forma, os diodos D_2 e D_3 conduzem. Observe na Figura 30(a) que a corrente nesses componentes corresponde ao inverso da corrente em N_2 e N_3 . Portanto, a Equação (3.9) também define i_{D_2} e i_{D_3} para o conversor tipo 2.

Do mesmo modo que no conversor tipo 1, D_2 e D_3 continuarão conduzindo enquanto i_{L_k} for menor que i_{L_m} . Logo, esta etapa é finalizada quando esses valores são igualados. Ainda, a duração deste intervalo está associado ao acoplamento magnético, visto que, depende das taxas de variação de i_{L_k} e i_{L_m} .

Por fim, a tensão no indutor L_o é determinada ao aplicar a LKT como: $v_{L_o} = 2V_{C_2} - V_o = V_{L_o, on, t_2}$, integrando essa tensão no intervalo $t - t_0$, tem-se:

$$i_{L_o}(t) = i_{L_o}(t_0) + \frac{2V_{C_2} - V_o}{L_o}(t - t_0). \quad (3.107)$$

3.2.2.2 Etapa 2

A chave permanece ligada e os diodos D_1 e D_4 continuam reversamente polarizados com $v_{D_1} = v_{D_4} = -V_{C_1}$. Na Figura 30(b), indutor L_m tem sua tensão definida como: $v_{L_m} = kV_{in}$ da mesma maneira que a segunda etapa do conversor tipo 1. Logo, a corrente i_{L_m} também é definida pela Equação (3.12).

A indutância de dispersão mantém-se carregando com tensão $v_{L_k} = V_{in} - v_{L_m} = (1 - k)V_{in}$. Assim, a corrente em L_k é determinada pela Equação (3.14), igualmente a i_{L_k} do conversor tipo 1 no intervalo $t - t_1$.

Nesta etapa, os valores das correntes i_{L_k} e i_{L_m} são igualados. Deste modo, as correntes i_{D_2} e i_{D_3} zeram, bloqueando os diodos D_2 e D_3 . Portanto, esses componentes operam com comutação sob corrente nula, minimizando as perdas de recuperação reversa. Ao analisar a Figura 30(b), definem-se pela LKT as tensões v_{D_2} e v_{D_3} como:

$$v_{D_2} = -v_{N_2} + V_{C_1} - V_{C_2},$$

$$v_{D_3} = -v_{N_3} + V_{C_4} - V_{C_3}, \quad (3.108)$$

$$v_{D_2} = -nkV_{in} + V_{C_1} - V_{C_2},$$

$$v_{D_3} = -nkV_{in} + V_{C_4} - V_{C_3}, \quad (3.109)$$

note que devido à simetria dos capacitores, $v_{D_2} = v_{D_3}$. Ainda, Para futuras citações no texto, esta tensão é definida como $V_{D_2,3,e2,t2}$.

Observe na Figura 30(b) que durante esta etapa, não há corrente nos capacitores C_1 e C_4 e a tensão no indutor L_o é definida pela malha: $v_{L_o} = 2V_{C_2} - V_o$. Assim, os capacitores C_2 e C_3 transferem energia para a carga, obtendo o ganho de tensão. Por fim, a corrente $i_{L_o}(t)$ é calculada como na etapa 1 apresentada na Equação (3.107).

3.2.2.3 Etapa 3

A chave é desligada, elevando rapidamente a sua tensão. Ao analisar a Figura 30(c), observe que a tensão de bloqueio é definida pelos capacitores de grampeamento, logo, $v_S = V_{C_1}$. Assim como na terceira etapa do conversor tipo 1, a indutância de magnetização descarrega com $v_{L_m} = \frac{-V_{C_2}}{n}$ e a corrente i_{L_m} é definida pela Equação (3.17).

Note na Figura 30(c) que a tensão v_{L_k} é obtida pela malha como:

$$V_{in} - v_{L_m} - V_{C_4} - v_{L_k} = 0,$$

$$v_{L_k} = V_{in} + \frac{V_{C_2}}{n} - V_{C_4}. \quad (3.110)$$

Portanto, a reciclagem da energia acumulada na indutância de dispersão ocorre através dos capacitores C_1 , C_2 , C_3 e C_4 . Este fato ocasiona o decaimento linear da corrente i_{L_k} . Da mesma maneira que no conversor tipo 1 neste intervalo, a corrente i_{L_k} corresponde a Equação (3.19).

Devido à tensão sobre a chave, L_k leva os diodos D_1 e D_4 a conduzirem. Ao aplicar a LKC na Figura 30(c), define-se:

$$i_{L_k}(t) = i_{D_1}(t) + i_{C_4}(t) + i_{C_3}(t),$$

$$i_{L_k}(t) = i_{D_4}(t) + i_{C_1}(t) + i_{C_2}(t), \quad (3.111)$$

assim, substitui-se as Equações (3.104) e (3.105) na Equação (3.111). Como existe simetria entre os capacitores correspondentes, obtém-se:

$$i_{D_1}(t) = \frac{i_{L_k}(t)}{2} + \frac{i_{L_o}(t)}{2},$$

$$i_{D_4}(t) = \frac{i_{L_k}(t)}{2} + \frac{i_{L_o}(t)}{2}, \quad (3.112)$$

perceba que as correntes i_{D_1} e i_{D_4} desse conversor equivale ao do conversor tipo 1 (ver Equação (3.27)). Ainda, os diodos D_1 e D_4 permanecerão conduzindo enquanto o módulo de i_{L_k} for diferente do de i_{L_o} . A etapa 3 termina quando i_{L_k} corresponde ao negativo de i_{L_o} , promovendo a comutação sob corrente nula em D_1 e D_4 . Logo, a duração deste intervalo está relacionada com as taxas de variação de i_{L_k} e i_{L_o} e é proporcional a k_o .

Como i_{L_k} atinge valor menor que i_{L_m} , a corrente no enrolamento primário, i_{N_1} , decresce linearmente neste intervalo e é refletida para N_2 e N_3 , dividindo-se igualmente. Assim, o indutor L_m transfere energia para os enrolamentos secundários, forçando a condução dos diodos D_2 e D_3 . Percebe-se na Figura 30(c) que a corrente nesses diodos equivale ao negativo da corrente em N_2 e N_3 . Logo, a Equação (3.28) também é válida para o conversor tipo 2.

Ao final, o indutor L_o é descarregado e sua tensão é determinada pela malha (ver Figura 30(c)):

$$v_{L_o} = 2V_{C_2} - V_{C_1} - V_o, \quad (3.113)$$

em futuras referências define-se essa tensão como: $V_{L_o,e3,t2}$. Ao integrar $V_{L_o,e3,t2}$ ao longo do intervalo $t - t_2$

$$i_{L_o}(t) = i_{L_o}(t_2) + \frac{2V_{C_2} - V_{C_1} - V_o}{L_o}(t - t_2). \quad (3.114)$$

3.2.2.4 Etapa 4

Durante este intervalo, a chave permanece desligada e L_m descarrega com $v_{L_m} = \frac{-V_{C_2}}{n}$. A corrente i_{L_m} pode ser obtida igualmente a etapa 4 do conversor tipo 1 pela Equação (3.31).

Ao aplicar a LKT na Figura 30(d), a tensão sobre a indutância de dispersão é calculada por:

$$\begin{aligned} v_{L_k} &= V_{in} - v_{L_m} - 2V_{C_2} + v_{L_o} + V_o, \\ v_{L_k} - v_{L_o} &= V_{in} + \frac{V_{C_2}}{n} - 2V_{C_2} + V_o. \end{aligned} \quad (3.115)$$

Note na Figura 30(d) que a corrente i_{L_k} equivale ao negativo de i_{L_o} . Assim, a Equação (3.33) referente à quarta etapa do conversor tipo 1 também é válida. Ao integrá-la, determina-se a corrente no indutor de dispersão como:

$$\begin{aligned} i_{L_k}(t) &= i_{L_k}(t_3) + \frac{v_{L_k} - v_{L_o}}{L_k + L_o}(t - t_3), \\ i_{L_k}(t) &= i_{L_k}(t_3) + \frac{V_{in} + \frac{V_{C_2}}{n} - 2V_{C_2} + V_o}{L_k + L_o}(t - t_3), \end{aligned} \quad (3.116)$$

assim, pode-se definir a corrente no indutor L_o por:

$$i_{L_o}(t) = i_{L_o}(t_3) - \frac{V_{in} + \frac{V_{C_2}}{n} - 2V_{C_2} + V_o}{L_k + L_o}(t - t_3). \quad (3.117)$$

Logo, as tensões sobre L_m e L_o correspondem a:

$$v_{L_k} = \frac{L_k}{L_k + L_o} \left(V_{in} + \frac{V_{C_2}}{n} - 2V_{C_2} + V_o \right), \quad (3.118)$$

$$v_{L_o} = \frac{-L_o}{L_k + L_o} \left(V_{in} + \frac{V_{C_2}}{n} - 2V_{C_2} + V_o \right), \quad (3.119)$$

ao longo do texto, essas tensões são referenciadas como $v_{L_k,e4,t2}$ e $v_{L_o,e4,t2}$, respectivamente.

Ao aplicar a LKT na Figura 30(d), a tensão de bloqueio na chave é calculada por:

$$v_S = V_{in} - v_{L_m} - v_{L_k},$$

$$v_S = (1 - k_o) \left(V_{in} + \frac{V_{C_2}}{n} \right) + k_o(2V_{C_2} - V_o), \quad (3.120)$$

esta tensão é referida ao longo do texto como $V_{S,e4,t2}$.

Pela Equação (3.112), percebe-se que as correntes em D_1 e D_4 são nulas, visto que, i_{L_k} corresponde ao negativo de i_{L_o} . A tensão de bloqueio nesses diodos é definida através da LKT como:

$$v_{D_1} = V_{in} - v_{L_m} - v_{L_k} - V_{C_1},$$

$$v_{D_1} = (1 - k_o) \left(V_{in} + \frac{V_{C_2}}{n} \right) + k_o(2V_{C_2} - V_o) - V_{C_1}, \quad (3.121)$$

por causa da simetria dos capacitores correspondentes, $v_{D_4} = v_{D_1}$. Ainda, em futuras referências no texto, esta tensão é dita como $V_{D1,4,e4,t2}$.

Nesta etapa, L_m continua a transferência de energia para N_2 e N_3 . Logo, os diodos D_2 e D_3 permanecem diretamente polarizados. As correntes i_{D_2} e i_{D_3} equivalem ao inverso das correntes no enrolamentos secundários. Portanto, a Equação (3.42) também é verdadeira para o conversor tipo 2.

Ao final desta etapa, a chave volta a conduzir com corrente definida pela Equação (3.106). Devido a comportamento das correntes i_{L_k} e i_{L_o} , a chave é ligada com comutação sob corrente nula e o ciclo é reiniciado.

Após a análise das etapas, percebe-se que o comportamento dos indutores e semicondutores são similares ao conversor tipo 1. As principais formas de onda do conversor são mostradas nas Figuras 31, 32 e 33.

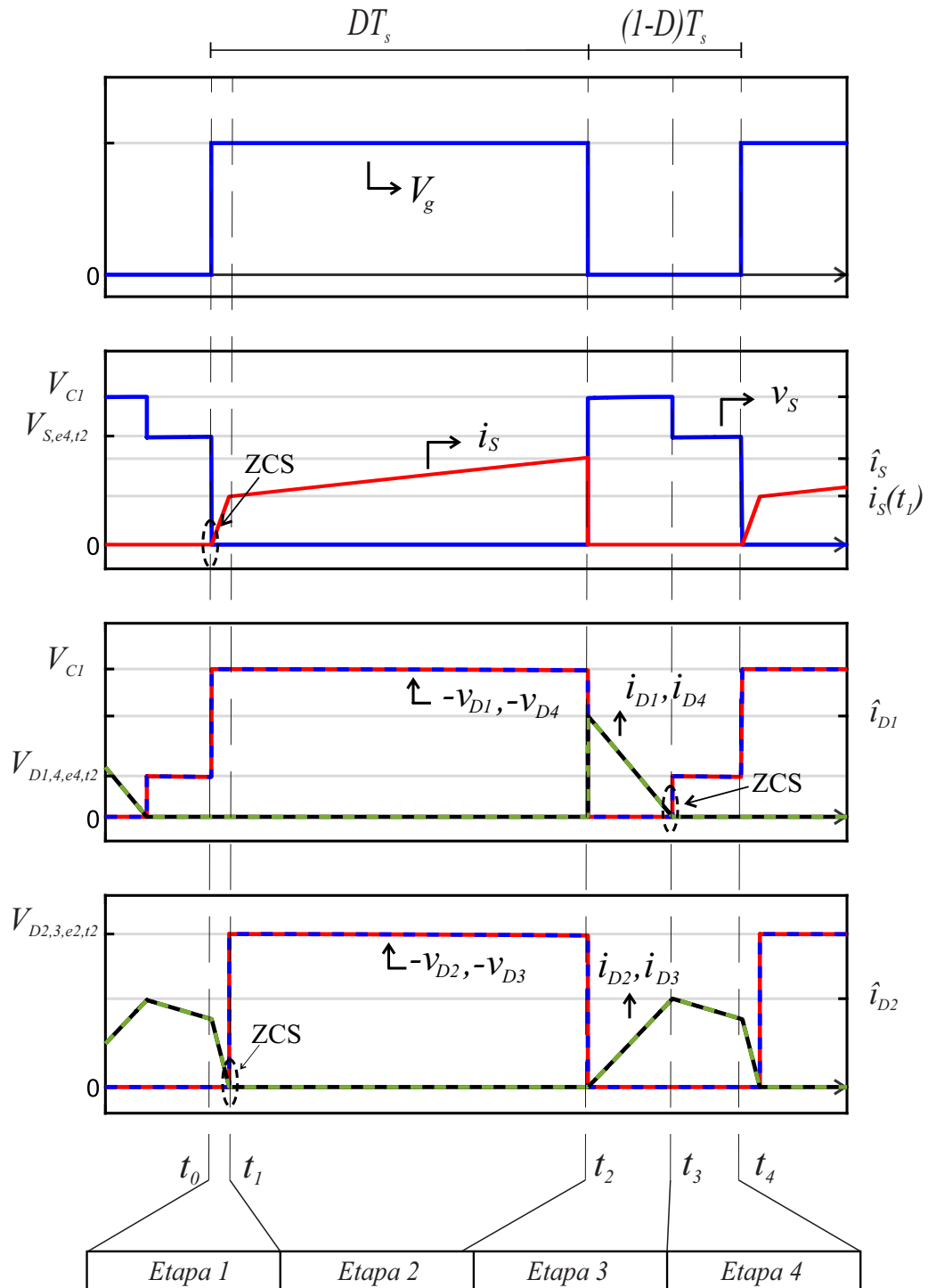
3.2.2.5 Operação em regime permanente

As considerações descritas previamente são adotadas para determinar as expressões da tensão sobre os principais componentes do circuito quando o conversor tipo 2 opera em regime permanente. Conforme definido, a simetria da topologia permite análise única de componentes idênticos. Assim, são definidos os valores dos elementos conectados no módulo superior.

Nas Figuras 27 e 32, percebe-se que o comportamento das correntes nos semicondutores das topologias são similares. Desta forma, os intervalos de tempo definidos para o conversor tipo 1 são correspondentes para o conversor tipo 2. Portanto, as Equações (3.44), (3.45), (3.47) e (3.48) são válidas.

Note que o comportamento dos indutores são análogos em todas as topologias propostas. Logo, as Equações (3.49), (3.51), (3.53) do balanço volt-segundo são válidas para o conversor tipo 2.

Figura 32 – Principais formas de onda nos semicondutores

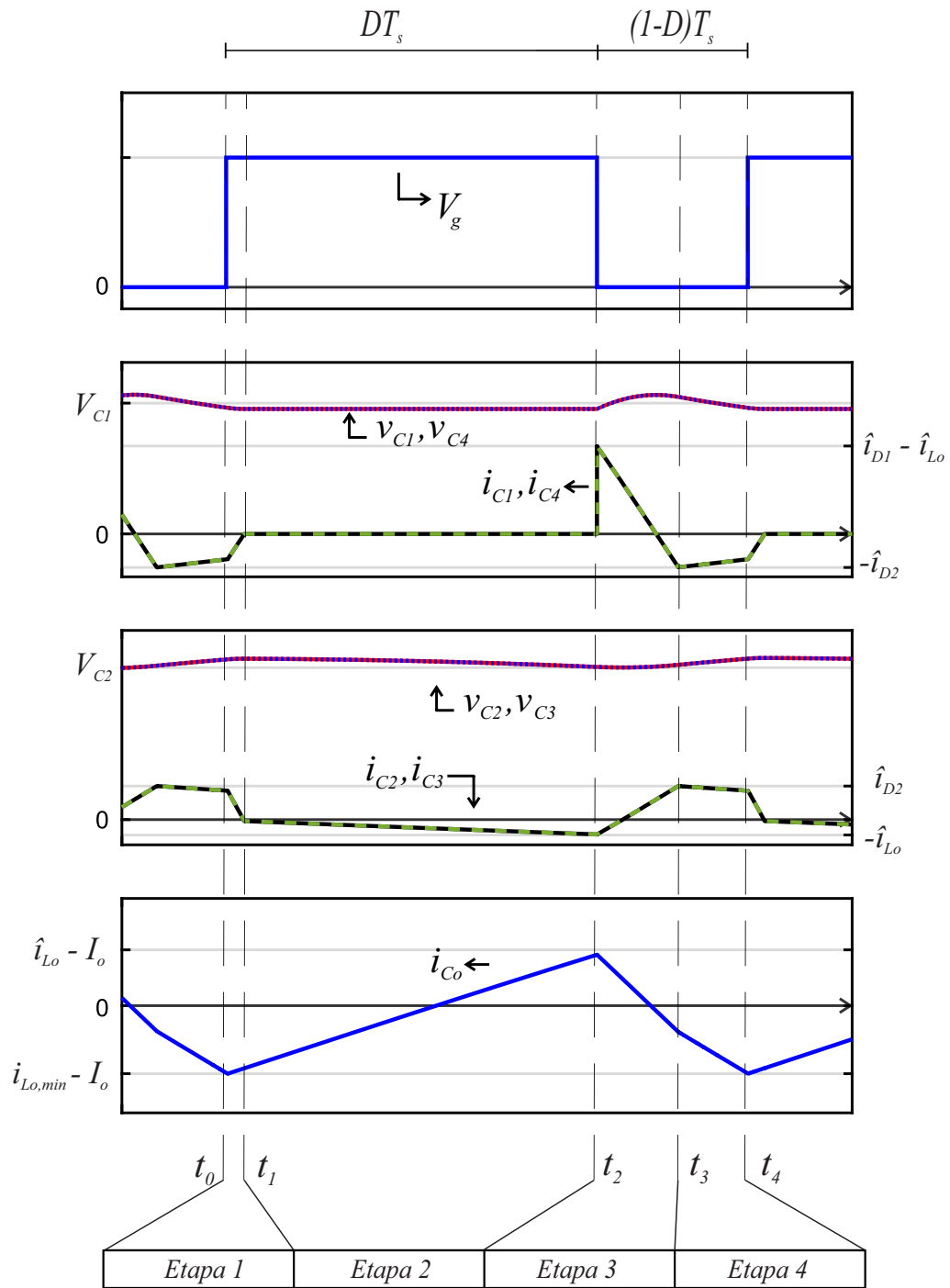


Fonte: Formas de ondas obtidas na simulação.

3.2.2.5.1 Ganho de tensão

O ganho de tensão é definido pela relação entre as tensões de entrada e saída do conversor. O ganho é definido ao aplicar o princípio volt-segundo no indutor L_o , conforme a Equação (3.53).

Figura 33 – Principais formas de onda nos capacitores



Fonte: Formas de ondas obtidas na simulação.

Assim, o ganho de tensão do conversor tipo 2 é igual ao ganho de tensão do tipo 1, obtido pela Equação (3.57).

3.2.2.5.2 Esforços de corrente média e máxima

Através da análise das etapas e da operação em regime permanente, percebeu-se que o comportamento das correntes nos semicondutores e elementos indutivos são similares ao conversor tipo 1. Desta forma, todas as equações definidas na seção 3.2.1.5.2 são verídicas para o conversor tipo 2.

3.2.2.5.3 Esforços sobre os semicondutores

Os esforços de tensão nos elementos semicondutores são determinados pela tensão máxima sobre eles. A expressão desta tensão na chave é definida ao aplicar LKT durante o bloqueio. Nota-se que esse intervalo é similar ao conversor tipo 1. Assim, a tensão máxima na chave é calcula pela Equação (3.84).

O valor máximo da tensão reversa dos diodos de grampeamento, D_1 e D_4 , é obtido semelhante ao definido previamente na Equação (3.85). Analogamente, durante o etapa 2, obtém-se a tensão máxima em D_2 e D_3 pela malha: $-V_{C_2} - V_{D_2} - v_{N_2} + V_{C_1} = 0$. Ao substituir os valores, nota-se que a tensão $V_{D_{2,3,t2}}$ é calculada pela Equação (3.86), similar ao conversor tipo 1.

As correntes eficazes nos semicondutores podem ser obtidas por meio das formas de ondas. Note nas Figuras 27 e 32 que o comportamento das correntes são similares, ainda, os intervalos de tempo são iguais nos conversores tipo 1 e tipo 2. Portanto, as Equações (3.91), (3.94) e (3.98) também definem as correntes eficazes nos semicondutores do conversor tipo 2.

3.2.2.6 Condições para Comutação Suave

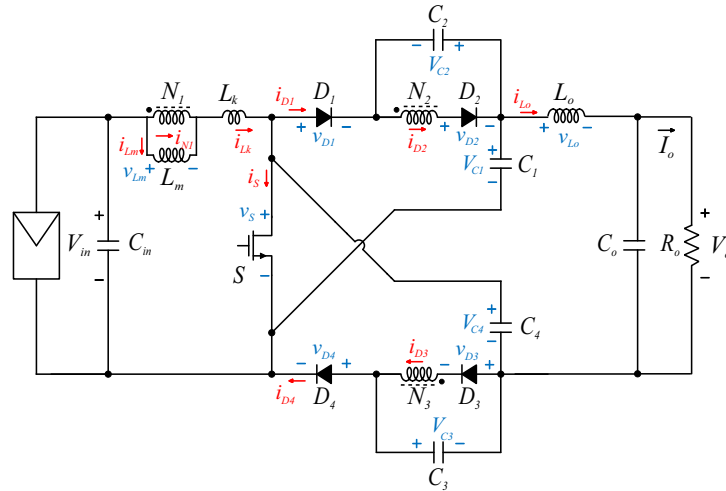
Para a comutação suave sob corrente nula na entrada em condução da chave e no bloqueio dos diodos ser alcançada é necessário satisfazer algumas condições de operação. Essas dependem dos intervalos de tempo durante cada etapa e do comportamento das correntes no indutores. Em ambos conversores propostos, essas circunstâncias são semelhantes. Portanto, as Equações (3.100), (3.101) e (3.102) também definem as condições para comutação suave para o conversor tipo 2.

3.2.3 Conversor tipo 3

O circuito equivalente do conversor tipo 3 é mostrado na Figura 34. As polaridades de tensão assumidas e as direções das correntes também são apresentadas. Nota-se que as conexões dos capacitores C_1 e C_4 são alteradas em relação ao conversor tipo 1.

Assim como descrito para os conversores tipo 1 e tipo 2, há quatro etapas de operação durante um período de chaveamento. Essas etapas são caracterizadas pelos estados de condução dos diodos e da chave. Os intervalos de tempo são apresentados na Tabela 2 e os circuitos

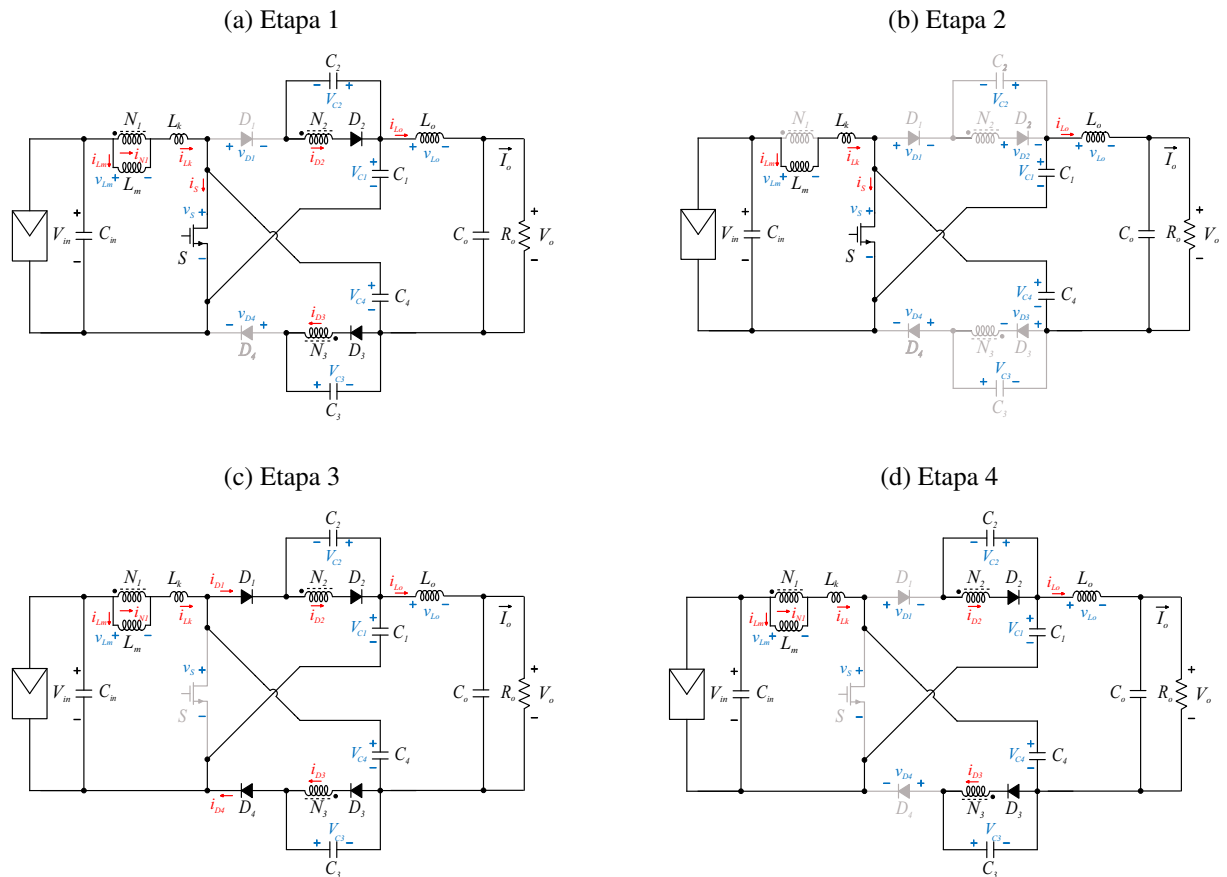
Figura 34 – Circuito equivalente do conversor tipo 3



Fonte: A autora (2021).

equivalentes são ilustrados na Figura 35. A seguir são brevemente descritos os comportamentos dos componentes para cada etapa de operação em um período de chaveamento.

Figura 35 – Etapas de operação do conversor tipo 3



Fonte: A autora (2021).

3.2.3.1 Etapa 1

No início do intervalo, a chave S começa a conduzir. De maneira similar, ao conversor tipo 1, a corrente i_S é definida pela LKC como:

$$i_{L_k}(t) = i_S(t) + i_{C_4}(t),$$

$$i_{L_k}(t) = i_S(t) + i_{C_1}(t), \quad (3.123)$$

ainda, as correntes nos diodos D_2 e D_3 correspondem aos nós:

$$i_{D_2}(t) = i_{D_1}(t) + i_{C_2}(t),$$

$$i_{D_3}(t) = i_{D_4}(t) + i_{C_3}(t), \quad (3.124)$$

além disso, as correntes i_{D_2} e i_{D_3} também são expressadas por:

$$i_{D_2}(t) = i_{L_o}(t) + i_{C_1}(t) + i_{C_2}(t),$$

$$i_{D_3}(t) = i_{L_o}(t) + i_{C_4}(t) + i_{C_3}(t), \quad (3.125)$$

ao realizar as devidas substituições, logo, tem-se a corrente na chave como:

$$i_S(t) = \frac{i_{L_k}(t) + i_{L_o}(t)}{2}, \quad (3.126)$$

perceba que a Equação (3.126) equivale às Equações (3.4) e (3.106). Portanto, a corrente na chave é similar em todos conversores da família.

Na Figura 35(c), note que a indutância de magnetização descarrega com tensão $v_{L_m} = \frac{-V_{C_2}}{n}$. A corrente i_{L_m} é determinada pela integral da tensão no intervalo $t - t_0$, assim como nos conversores tipo 1 e tipo 2, a partir da Equação (3.5).

A tensão em L_k é obtida ao aplicar a LKT, sendo definida pela malha: $v_{L_k} = V_{in} - v_{L_m} = V_{in} + \frac{V_{C_2}}{n}$. De maneira análoga aos conversores previamente descritos, o valor da corrente no indutor de dispersão corresponde a Equação (3.7).

Nesta etapa, os diodos D_1 e D_4 estão reversamente polarizados e as suas tensões de bloqueio são determinadas pela LKT como:

$$v_{D_1} = V_{C_2} - V_{C_1},$$

$$v_{D_4} = V_{C_3} - V_{C_4}, \quad (3.127)$$

devido à simetria entre os capacitores correlatos, $v_{D_1} = v_{D_4}$. Ao longo do texto essa tensão será referenciada como $V_{D_1,4,t3}$.

Assim como nos demais conversores da família, a corrente i_{N_1} corresponde a diferença entre i_{L_k} e i_{L_m} . Essa corrente é refletida para N_2 e N_3 , dividindo-se igualmente entre eles, visto que $N_2 = N_3$. Desta forma, os diodos D_2 e D_3 conduzem. Observe na Figura 35(c) que as correntes i_{D_2} e i_{D_3} são definidas pelo inverso das correntes nos respectivos enrolamentos secundários. Logo, a Equação (3.9) é verdadeira para todos os conversores da família. Note também que a duração desta etapa é proporcional ao acoplamento magnético tal qual os conversores anteriores.

Neste intervalo, a tensão no indutor L_o é determinada pela LKT como $v_{L_o} = 2V_{C_1} - V_o = V_{L_o,on,t3}$. A corrente i_{L_o} é calculada pela integral v_{L_o} ao longo do intervalo $t - t_0$. Logo, tem-se:

$$i_{L_o}(t) = i_{L_o}(t_0) + \frac{2V_{C_1} - V_o}{L_o}(t - t_0). \quad (3.128)$$

3.2.3.2 Etapa 2

A chave semicondutora permanece ligada e os diodos D_1 e D_4 reversamente polarizados com tensão $v_{D_1} = V_{C_1} - V_{C_2}$. Na Figura 35(b), observe que a indutância de magnetização é carregada por $v_{L_m} = kV_{in}$ da mesma forma que os conversores tipo 1 e tipo 2. A corrente i_{L_m} é determinada pela integral da tensão v_{L_m} ao longo do intervalo $t - t_0$. Portanto, a Equação (3.12) é verdadeira para o conversor tipo 3.

A tensão v_{L_k} é obtida ao aplicar a LKT como $v_{L_k} = (1 - k)V_{in}$. Analogamente a indutância de magnetização, a corrente i_{L_k} corresponde a integral da tensão no tempo. Assim, i_{L_k} também é calculada pela Equação (3.14).

A Equação (3.9) corresponde a i_{D_2} e i_{D_3} para todos os conversores da família. Quando i_{L_k} iguala-se a i_{L_m} no início desta etapa, o bloqueio dos diodos D_2 e D_3 é forçado. Esses componentes operam com comutação sob corrente nula, reduzindo as perdas de recuperação reversa. Portanto, percebe-se que todos os conversores descritos operam com ZCS em D_2 e D_3 .

Note na Figura 35(b) que pela LKT as tensões de bloqueio correspondem a $v_{D_2} = -v_{N_2} - V_{C_2}$ e $v_{D_3} = -v_{N_3} - V_{C_3}$. Em virtude da simetria dos capacitores, $v_{D_2} = v_{D_3}$. Logo, a Equação (3.15) do conversor tipo 1 define as tensões de bloqueio em D_2 e D_3 .

Na Figura 35(b), percebe-se que não há corrente através dos capacitores C_2 e C_3 . Nesta etapa, a energia dos capacitores C_1 e C_4 é transferida para carga, proporcionando o ganho de tensão. Ainda, a tensão v_{L_o} é determinada pela malha: $v_{L_o} = 2V_{C_1} - V_o$. Assim, a corrente i_{L_o} é calculada pela integral ao longo do intervalo $t - t_0$, sendo a Equação (3.128) da etapa 1 válida.

3.2.3.3 Etapa 3

Neste intervalo, a chave é desligada e sua tensão elevada rapidamente. Ao aplicar a LKT na Figura 35(c), tem-se:

$$v_S = V_{C_1} - V_{C_2}, \quad (3.129)$$

ao longo do texto, define-se como $V_{S,t3}$.

Similar à terceira etapa dos conversores tipo 1 e tipo 2, a energia da indutância de magnetização é transferida para os enrolamentos secundários. Assim, $v_{L_m} = \frac{-V_{C_2}}{n}$ e a corrente i_{L_m} , obtida pela integral da tensão no tempo, é determinada pela Equação (3.17).

Analizando a Figura 35(c), a tensão sobre a indutância de dispersão é determinada pela LKT como:

$$v_{L_k} = V_{in} - v_{L_m} + V_{C_3} - V_{C_4},$$

$$v_{L_k} = V_{in} + \frac{V_{C_2}}{n} + V_{C_3} - V_{C_4}, \quad (3.130)$$

note que a energia acumulada na indutância de dispersão é reciclada pelos capacitores C_1 , C_2 , C_3 e C_4 . A tensão sobre L_k neste intervalo é referenciada ao longo do texto como $V_{L_k,e3,t3}$. Logo, a corrente i_{L_m} decresce linearmente e é definida pela integral de v_{L_k} no intervalo $t - t_2$.

$$i_{L_k}(t) = i_{L_k}(t_2) + \frac{V_{in} + \frac{V_{C_2}}{n} + V_{C_3} - V_{C_4}}{L_k}(t - t_2). \quad (3.131)$$

Devido ao pico de tensão na chave, os diodos D_1 e D_4 são diretamente polarizados por L_k . Para determinar as correntes nesses diodos aplica-se a LKC (ver Figura 35(c)), assim, tem-se:

$$i_{L_k}(t) = i_{D_1}(t) + i_{C_4}(t),$$

$$i_{L_k}(t) = i_{D_4}(t) + i_{C_1}(t), \quad (3.132)$$

assim, realiza-se as substituições das Equações (3.124) e (3.125) na Equação (3.132). Considerando a simetria entre os capacitores correspondentes, as correntes nos diodos D_1 e D_4 são calculadas por:

$$i_{D_1}(t) = \frac{i_{L_o}(t)}{2} + \frac{i_{L_k}(t)}{2},$$

$$i_{D_4}(t) = \frac{i_{L_o}(t)}{2} + \frac{i_{L_k}(t)}{2}, \quad (3.133)$$

note que a Equação (3.133) é similar as Equações (3.27) e (3.112). Portanto, em todos os conversores da família este intervalo é proporcional a k_o . Ainda, percebe-se que D_1 e D_4 continuarão conduzindo enquanto $i_{L_k} \neq -i_{L_o}$.

Por causa da transferência de energia de L_m para N_2 e N_3 , os diodos D_2 e D_3 são diretamente polarizados. As correntes nesses diodos correspondem ao negativo das correntes nos enrolamentos secundários (ver Figura 35(c)). Portanto, a Equação (3.28) define a corrente nos diodos D_2 e D_3 .

Por fim, a tensão no indutor L_o é obtida pela LKT por:

$$v_{L_o} = V_{C_1} + V_{C_2} - V_o, \quad (3.134)$$

essa tensão é nomeada $V_{L_o,e3,t3}$. Ao integrar essa tensão no intervalo $t - t_2$, tem-se:

$$i_{L_o}(t) = i_{L_o}(t_2) + \frac{V_{C_1} + V_{C_2} - V_o}{L_o}(t - t_2). \quad (3.135)$$

3.2.3.4 Etapa 4

A Figura 35(d) ilustra o circuito equivalente dessa etapa. A chave continua desligada e L_m permanece descarregando com $v_{L_m} = \frac{-V_{C_2}}{n}$. A corrente i_{L_m} é determinada similar a etapa 4 dos conversores tipo 1 e tipo 2, assim, a Equação (3.31) é válida.

A tensão v_{L_k} é obtida aplicando a LKT na malha:

$$\begin{aligned} v_{L_k} &= V_{in} - v_{L_m} - 2V_{C_1} + v_{L_o} + V_o, \\ v_{L_k} - v_{L_o} &= V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} + V_o, \end{aligned} \quad (3.136)$$

essas tensões são referenciadas como $V_{L_k,e4,t3}$ e $V_{L_o,e4,t3}$, respectivamente.

Ao analisar a Figura 35(d), percebe-se que a corrente i_{L_k} corresponde ao negativo da corrente i_{L_o} . Logo, a Equação (3.33) referente à quarta etapa do conversor tipo 1 é verdadeira. Ao integrá-la, tem-se:

$$\begin{aligned} i_{L_k}(t) &= i_{L_k}(t_3) + \frac{v_{L_k} - v_{L_o}}{L_k + L_o}(t - t_3), \\ i_{L_k}(t) &= i_{L_k}(t_3) + \frac{V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} + V_o}{L_k + L_o}(t - t_3), \end{aligned} \quad (3.137)$$

analogamente, a corrente em L_o é calculada por:

$$i_{L_o}(t) = i_{L_o}(t_3) - \frac{V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} + V_o}{L_k + L_o}(t - t_3). \quad (3.138)$$

Portanto, as tensões v_{L_k} e v_{L_o} são definidas como:

$$v_{L_k} = \frac{L_k}{L_k + L_o} \left(V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} + V_o \right), \quad (3.139)$$

$$v_{L_o} = \frac{-L_o}{L_k + L_o} \left(V_{in} + \frac{V_{C_2}}{n} - 2V_{C_1} + V_o \right). \quad (3.140)$$

A tensão de bloqueio na chave é determinada pela LKT, logo, tem-se:

$$v_S = V_{in} - v_{L_m} - v_{L_k},$$

$$v_S = (1 - k_o) \left(V_{in} + \frac{V_{C_2}}{n} \right) + k_o(2V_{C_1} - V_o), \quad (3.141)$$

referencia-se esta tensão por $V_{S,e4,t3}$.

Na Equação (3.133), percebe-se que as correntes em D_1 e D_4 são nulas, já que, i_{L_k} equivale ao inverso de i_{L_o} . Como as correntes i_{D_1} e i_{D_4} possuem mesmo comportamento para todos os conversores da família, a comutação sob corrente nula nos diodos D_1 e D_4 é característica comum. A tensão de bloqueio nesses diodos é definida pela LKT como:

$$v_{D_1} = V_{in} - v_{L_m} - v_{L_k} + V_{C_2} - V_{C_1},$$

$$v_{D_1} = (1 - k_o) \left(V_{in} + \frac{V_{C_2}}{n} \right) + k_o(2V_{C_1} - V_o) + V_{C_2} - V_{C_1}, \quad (3.142)$$

a simetria dos capacitores correlatos garante que $v_{D_4} = v_{D_1}$, sendo denominada de $V_{D_1,4,e4,t3}$.

Os diodos D_2 e D_3 permanecem diretamente polarizados devido ao indutor L_m . As correntes nesses componentes correspondem ao negativo da corrente nos enrolamentos secundários. Assim, Equação (3.42) determina i_{D_2} e i_{D_3} para este conversor.

Quando a chave volta a conduzir, esta etapa finalizada e o ciclo reinicia. Observe na Equação (3.126) que por causa da relação das correntes i_{L_k} e i_{L_o} , a chave opera em comutação sob corrente nula. Como i_S é similar para todos os conversores, a característica ZCS está presente em toda a família.

Note que o comportamento dos indutores e semicondutores são similares dentro da família de conversores propostos. Contudo, as formas de onda dos capacitores diferenciam entre si devido as mudanças nas conexões. As principais formas de onda do conversor são mostradas nas Figuras 36, 37 e 38.

3.2.3.5 Operação em regime permanente

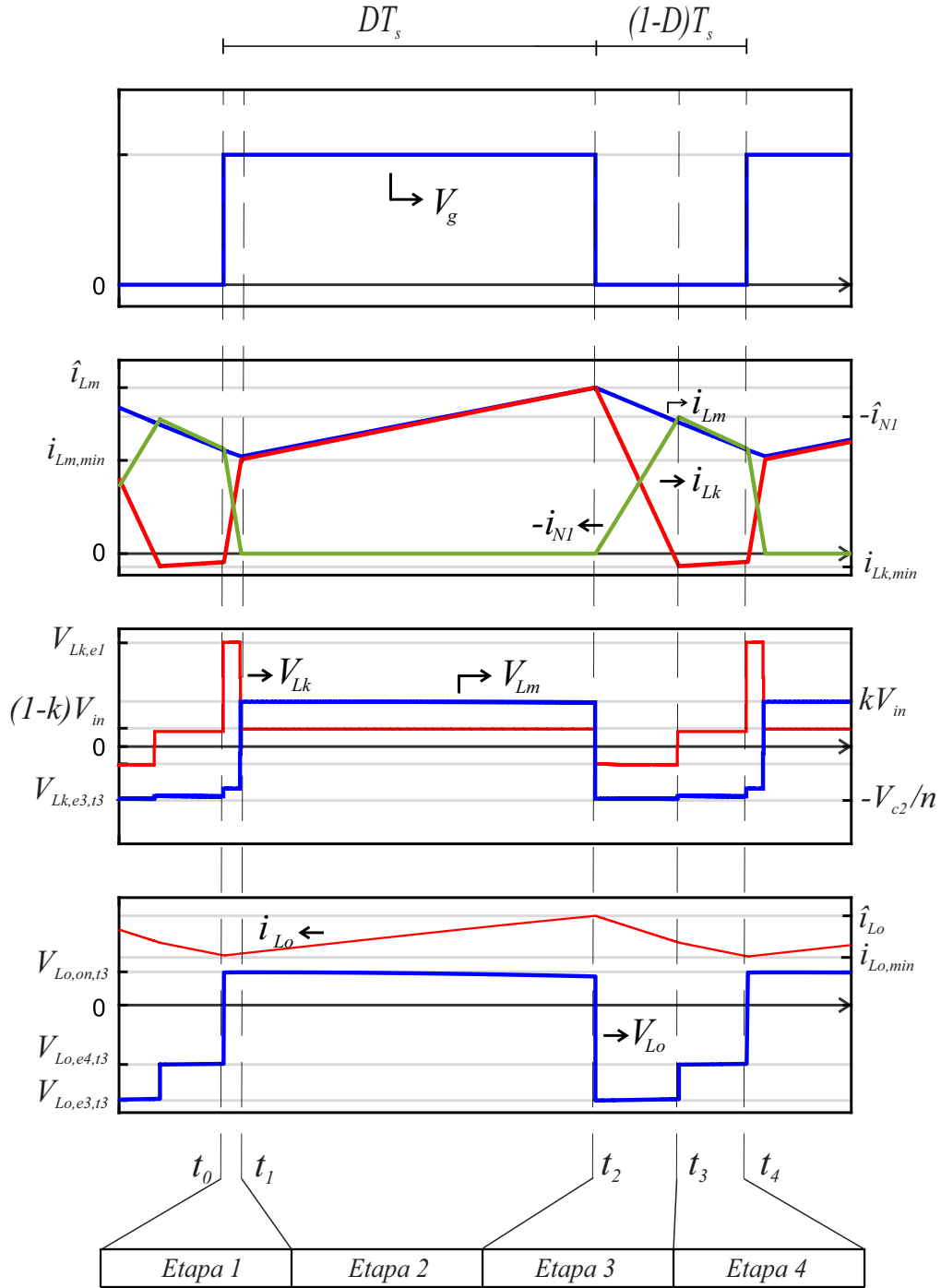
As considerações descritas previamente são adotadas para determinar as expressões da tensão sobre os principais componentes do conversor tipo 3 operando em regime permanente.

Observe nas Figuras 27 e 37 que o comportamento das correntes nos semicondutores das topologias são semelhantes. Assim, os intervalos de tempo definidos para o conversor tipo 1 são análogos para o conversor tipo 3. Portanto as Equações (3.44), (3.45), (3.47) e (3.48) são válidas.

Note que o comportamento dos indutores são semelhantes em todas as topologias propostas. Logo, as Equações (3.49), (3.51), (3.53) de balanço volt-segundo nesses componentes são válidas para o conversor tipo 3. A tensão no capacitor C_2 é determinada pelo equilíbrio de tensão no indutor L_m . Assim, a tensão V_{C_2} é calculada pela Equação (3.56).

Analogamente, a tensão no capacitor C_2 é definida ao aplicar o princípio volt-segundo no indutor L_k . Logo, V_{C_2} é determinada por:

Figura 36 – Principais formas de onda nos indutores



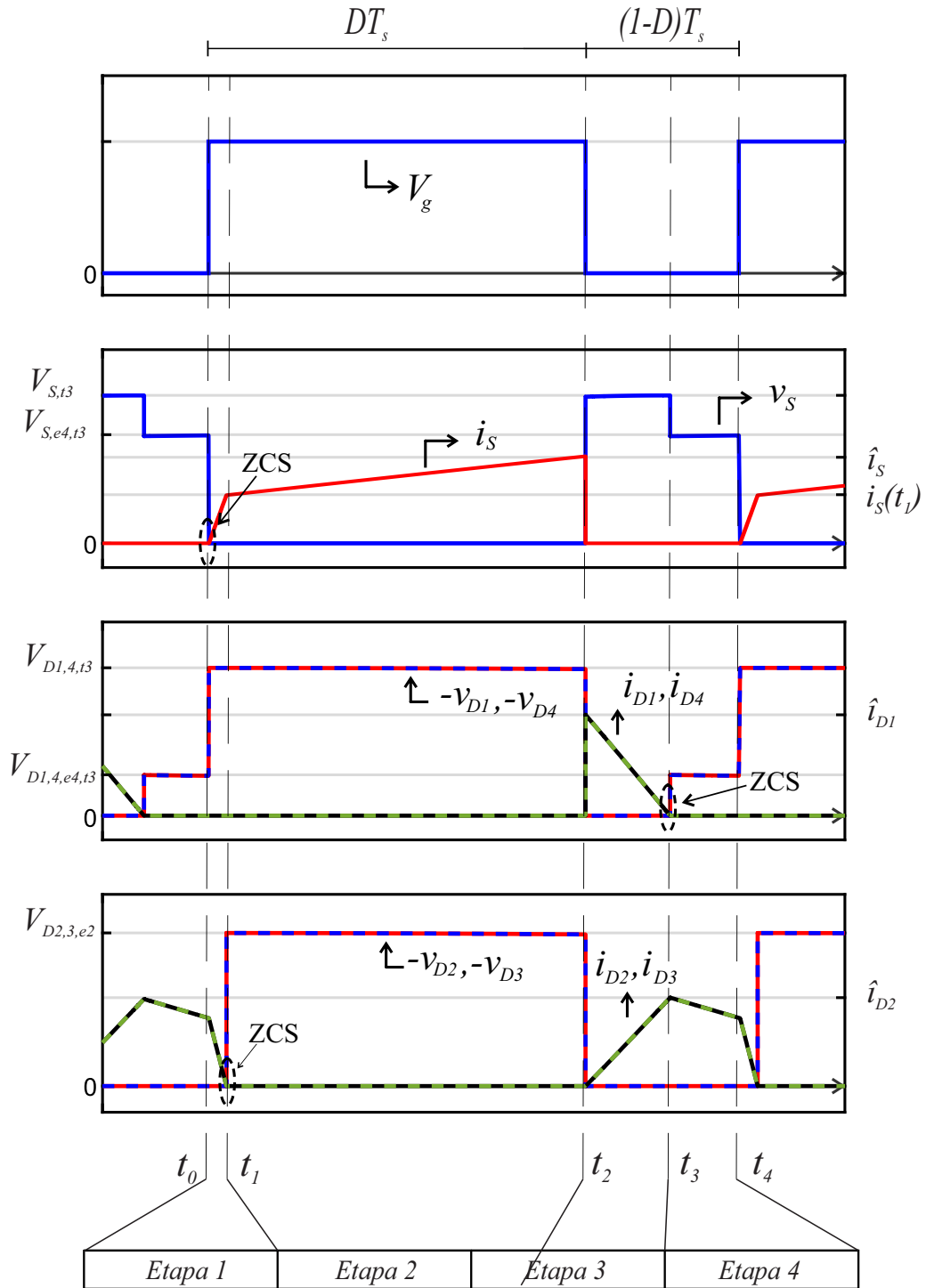
Fonte: Formas de ondas obtidas na simulação.

$$V_{C1} = V_{C4} = \frac{1 + nkD}{1 - D} V_{in}. \quad (3.143)$$

3.2.3.5.1 Ganho de tensão

O ganho de tensão é definido pela relação entre as tensões de entrada e saída do conversor. Assim como nas demais topologias propostas, o ganho de tensão no conversor tipo 3 é deter-

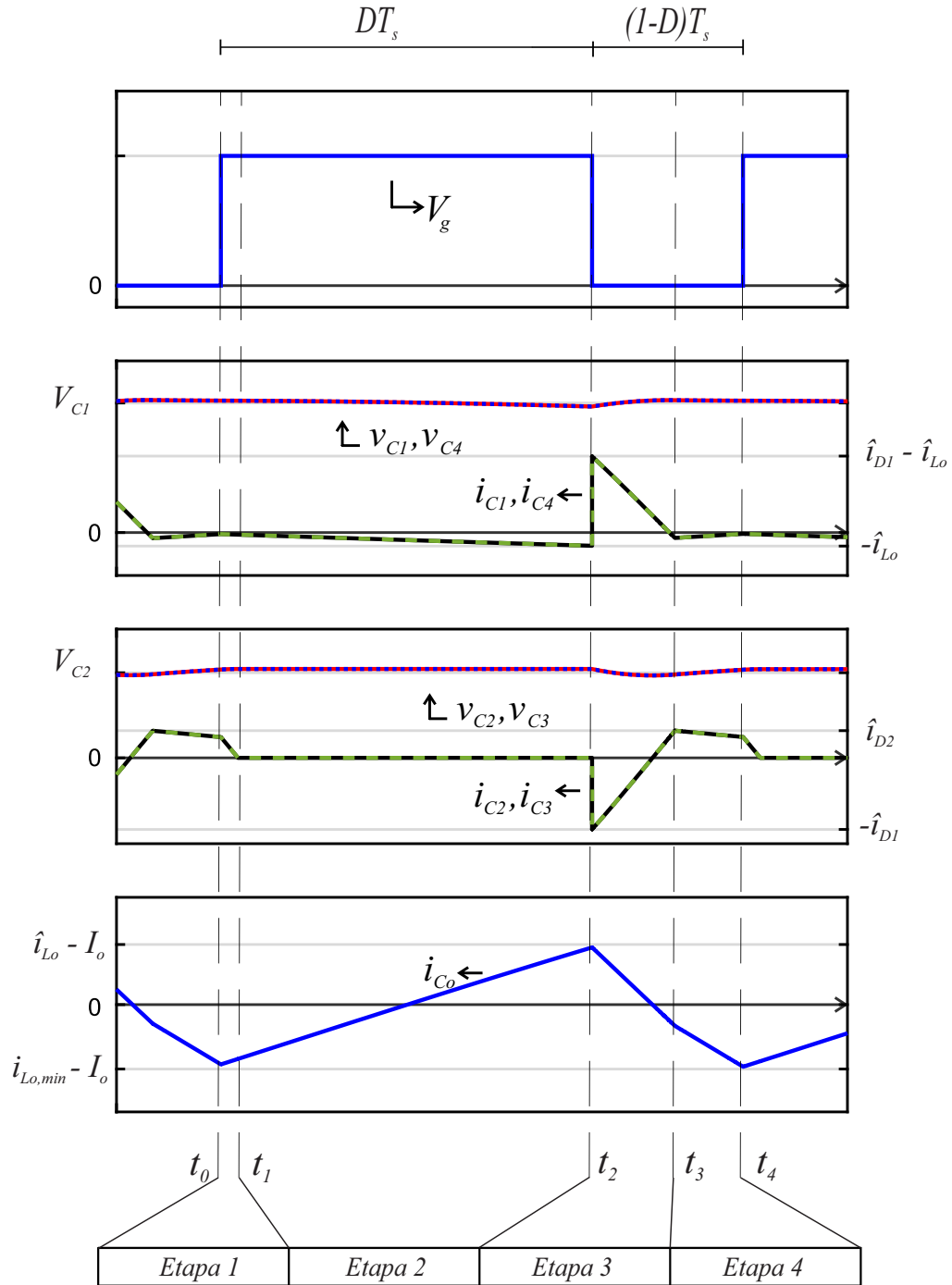
Figura 37 – Principais formas de onda nos semicondutores



Fonte: Formas de ondas obtidas na simulação.

minado ao aplicar o balanço volt-segundo no indutor L_o . Portanto, a Equação (3.57) também calcula o ganho de tensão para esta topologia.

Figura 38 – Principais formas de onda nos capacitores



Fonte: Formas de ondas obtidas na simulação.

3.2.3.5.2 Esforços de corrente média e máxima

Após a análise das etapas e da operação em regime permanente, nota-se que o comportamento das correntes nos semicondutores e elementos indutivos são similares aos conversores tipo 1 e tipo 2. Desta forma, todas as equações definidas na seção 3.2.1.5.2 também são válidas para o conversor tipo 3.

3.2.3.5.3 Esforços sobre os semicondutores

Os esforços de tensão nos elementos semicondutores são determinados pela tensão máxima sobre eles. A expressão desta tensão na chave é definida ao aplicar LKT durante o bloqueio. Nota-se que essa etapa é semelhante aos conversores tipo 1 e tipo 2. Assim, a tensão máxima na chave calcula-se pela Equação (3.84).

O valor máximo da tensão reversa dos diodos D_1 e D_4 é obtido durante a etapa 1. Aplica-se a LKT na malha $-V_{D_1} - V_{C_1} + V_{C_2} = 0$. Assim, a tensão máxima é obtida por:

$$V_{D_{1,4,t3}} = \frac{V_{in}}{1 - D}. \quad (3.144)$$

Observa-se que a expressão é semelhante a tensão nos diodos D_1 e D_4 para os conversores tipo 1 e tipo 2. A tensão máxima em D_2 e D_3 é calculada pela malha da CMT. Logo, analogamente ao conversor tipo 1, a Equação (3.86) define essa tensão.

As correntes eficazes nos semicondutores são definidas pelas formas de ondas desses componentes. Note nas Figuras 27 e 37 que o comportamento das correntes são semelhantes. Além disso, os intervalos de tempo são iguais em todas topologias propostas. Portanto, as Equações (3.91), (3.94) e (3.98) também definem as correntes eficazes nos semicondutores do conversor tipo 3.

3.2.3.6 Condições para Comutação Suave

Para a comutação suave sob corrente nula nos semicondutores ser alcançada é necessário satisfazer algumas condições de operação. Os intervalos de tempo durante cada etapa e o comportamento das correntes no indutores são fatores determinantes para tal. Em todos conversores propostos, essas condições são similares. Portanto, as Equações (3.100), (3.101) e (3.102) também definem as condições para comutação suave para o conversor tipo 3.

3.3 PROJETO DOS COMPONENTES

O conversor c.c./c.c. deve ser projetado de modo a atender aos requisitos necessários para aplicação em otimizadores de potência e microinversores fotovoltaicos. Os níveis de tensão, corrente e potência de entrada do conversor c.c./c.c. devem ser condizentes aos componentes integrados. Nesta seção, são definidos os requisitos de projeto para os componentes.

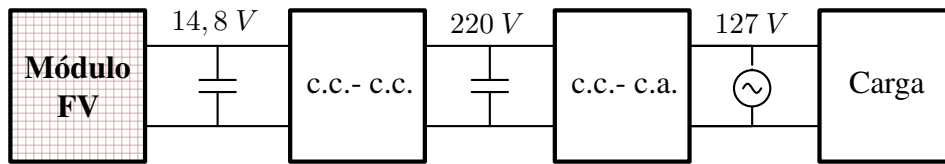
3.3.1 Requisitos de projeto

A geração solar fotovoltaica depende de fatores como temperatura ambiente e irradiação solar, uma vez que os mesmos são variáveis ao longo do dia. Caso os painéis não gerem a tensão necessária para alimentar o barramento c.c. do inversor, é necessário um estágio de ganho de tensão, comumente feito com um conversor *boost*. Devido a variabilidade da energia fornecida

pelo módulos, os conversores c.c./c.c. são utilizados para gerenciar os níveis de tensão e garantir a máxima transferência de energia à carga.

A associação dos módulos fotovoltaicos define a relação entre tensão de entrada do conversor c.c./c.c. e a tensão de saída dos painéis solares. Quando os módulos são ligados em série, o valor da tensão de entrada do conversor é a soma das tensões dos painéis. Quando associados em paralelo, é igual a tensão de saída deles. A Figura 39 apresenta um sistema fotovoltaico com microinversor. A fim de determinar os requisitos mínimos, o pior caso é analisado.

Figura 39 – Sistema Fotovoltaico



Fonte: A autora (2021).

O estudo realizado por Pereira Junior (2019) reúne os painéis fotovoltaicos produzidos pelos principais fabricantes mundiais. Foi definido como requisito o pior cenário possível, do inglês *worst case scenario*. A partir desse estudo, optou-se por um painel com menor potência e tensão. Assim, painel solar policristalino de 140 W da Kyocera Solar com tensão 14,8 V foi escolhido.

O conversor c.c./c.c. deve ser capaz de fornecer uma tensão mínima no barramento c.c. para manter o VSI conectado à rede elétrica. O valor mínimo de tensão ($V_{DC_{min}}$) tem a finalidade de garantir que o modulador irá operar na região linear e não ocorra sobremodulação, evitando harmônicos de baixa frequência. Assim, é preciso que a tensão no barramento c.c. seja superior ao valor de pico das tensões de linha no lado c.a.. O valor mínimo do barramento é definido a partir do valor eficaz da tensão da (V_{RMS}) e do fator de segurança (f) por:

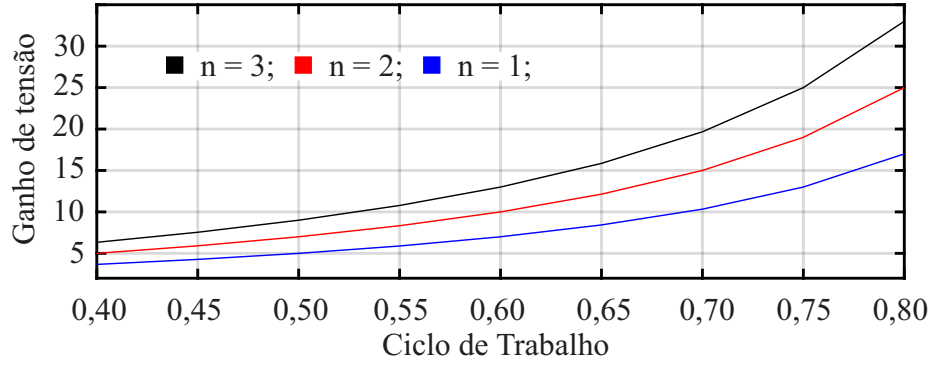
$$V_{DC_{min}} = (1 + f)V_{RMS}\sqrt{2}. \quad (3.145)$$

Considera-se um sistema monofásico com tensão eficaz de 127 V e fator de segurança igual à 20 %. Pela Equação (3.145), tem-se que a tensão c.c. mínima deve ser de 215,5 V, optou-se pela tensão de saída 220 V. Na temperatura máxima de 70 °C, a tensão típica mínima fornecida pelo painel solar policristalino de 140 W da Kyocera Solar é 14,8 V. É necessário, assim, um ganho de tensão de 14,86 para atender aos requisitos do sistema.

3.3.2 Relação de transformação

Sabe-se que a relação de transformação do indutor acoplado é associada ao ganho de tensão e o ciclo de trabalho. A interdependência desses parâmetros é demonstrada na Figura 40.

Figura 40 – Curvas de ganho estático pelo ciclo de trabalho



Fonte: Formas de onda obtidas pela simulação.

Conforme a Equação (3.58), determina-se:

$$n = \frac{M - 1 - D(M + 1)}{2D}. \quad (3.146)$$

Para evitar que o conversor opere com razão cíclica elevada, determina-se a faixa de operação da razão cíclica por $0,4 \leq D \leq 0,8$ para ganho de tensão 15. Em consequência dos desafios construtivos e das perdas nos enrolamentos resultantes de uma grande relação de transformação, escolhe-se $n = 2$.

3.3.3 Indutância de magnetização

Para definir o valor da indutância de magnetização do indutor acoplado, analisa-se a tensão sobre o mesmo:

$$V_{Lm} = L_m \frac{\Delta i_{Lm}}{\Delta t}. \quad (3.147)$$

Analisando as etapas de operação do conversor, sabe-se que:

$$V_{in} = L_m \frac{\Delta i_{Lm}}{T_s D}, \quad (3.148)$$

onde $\Delta i_{Lm} = \hat{I}_{Lm} - I_{Lm,min}$.

Isola-se o valor da indutância na Equação (3.148):

$$L_m = \frac{V_{in} T_s D}{\Delta i_{Lm}}. \quad (3.149)$$

Para que o conversor opere em MCC, a condição deve ser satisfeita:

$$I_{Lm} - \frac{\Delta i_{Lm}}{2} > 0. \quad (3.150)$$

Assim, a partir das equações (3.70), (3.149), (3.150), obtém-se:

$$L_{mB} = \frac{DT_s}{2M(M+2n)} \frac{V_o^2}{P}. \quad (3.151)$$

O conversor opera em MCC quando o valor de L_m é maior que L_{mB} . Sob as condições de projeto $L_{mB} = 4,4 \mu H$. Assim, escolhe-se $L_m = 14 \mu H$ a fim de reduzir a ondulação na corrente deste componente.

3.3.4 Projeto do indutor acoplado

O projeto do indutor acoplado foi realizado conforme descrito no manual pelo fabricante Magnetics. Foi escolhido um núcleo toroidal uma vez que este possui *gap* (entreferro) distribuído, reduzindo as perdas. Além disso, esta configuração reduz o volume do componente, acarretando numa menor dispersão de fluxo sem aumentar o aquecimento do indutor. O apêndice A apresenta este projeto em detalhes.

3.3.5 Projeto do indutor de saída

O projeto do indutor de saída L_o é realizado com base na tensão sobre este componente. Assim, tem-se:

$$V_{in} = L_o \frac{\Delta i_{L_o}}{T_s D}, \quad (3.152)$$

onde $\Delta i_{L_o} = \hat{I}_{L_o} - I_{L_o, \min}$.

Assim como no projeto da indutância de magnetização, a condição deve ser satisfeita para operação em MCC:

$$I_{L_o} - \frac{\Delta i_{L_o}}{2} > 0. \quad (3.153)$$

Substituindo as Equações (3.59), (3.152) e (3.153), obtém-se:

$$L_{oB} = \frac{DT_s}{2M} \frac{V_o^2}{P}. \quad (3.154)$$

Nas condições de projeto e operação em MCC, L_o é maior que L_{oB} , sendo $L_{oB} = 83 \mu H$. Para reduzir ondulação na corrente, é adotado o valor de $L_o = 100 \mu H$.

3.3.6 Projeto dos capacitores

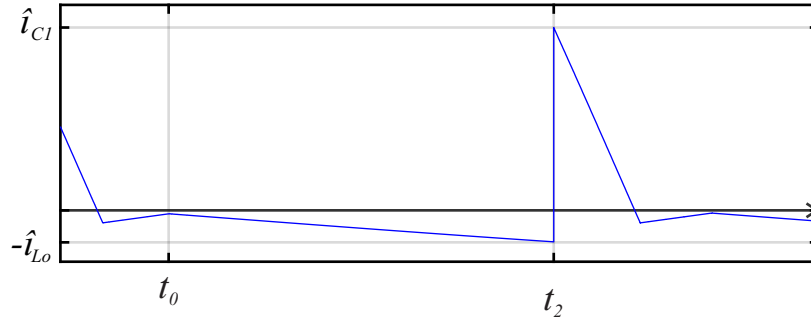
O projeto dos capacitores de é determinado pelas ondulações das correntes. Para atender o requisito de ondulação da tensão, utiliza-se a relação entre capacitância e a carga do capacitor, definida por

$$\Delta v = \frac{\Delta Q}{C_i}, \quad (3.155)$$

onde $i = 1, 2, o$. ΔQ , a variação de carga é calculada aproximadamente a partir da corrente sobre o capacitor.

A forma de onda da corrente no capacitor C_1 do conversor tipo 1 é apresentada na Figura 41. Nota-se que ΔQ pode ser definida, aproximadamente, pela área no intervalo $t = t_{on} = t_2 - t_0$, obtendo:

Figura 41 – Corrente no capacitor C_1 do conversor tipo 1



Fonte: A autora (2021).

$$\Delta Q = \frac{DT_s}{2} (i_{C1}(t_2) - i_{C1}(t_0)), \quad (3.156)$$

onde pela LKC tem-se que:

$$\begin{aligned} i_{C1}(t_0) &= -I_{L_o, \min} = I_o - \Delta i_{L_o}, \\ i_{C1}(t_2) &= -\hat{I}_{L_o} = I_o + \Delta i_{L_o}. \end{aligned} \quad (3.157)$$

A partir da Equações (3.156) e (3.157), calcula-se:

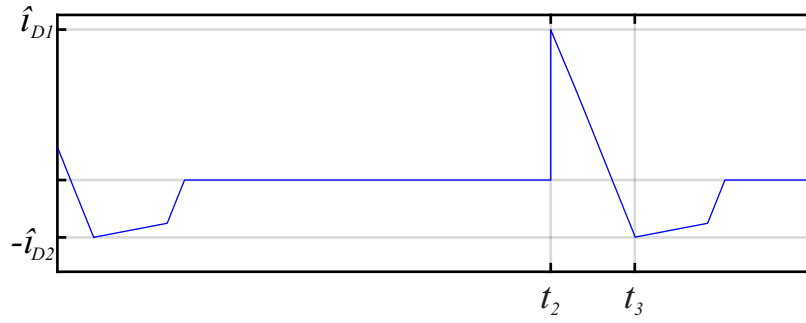
$$\Delta Q = \frac{DT_s}{2} \Delta i_{L_o}. \quad (3.158)$$

Substituindo as Equações (3.159), (3.152) e (3.155), o valor da capacitância C_1 do conversor tipo 1 é definido por:

$$C_1 \geq \frac{(1-D)DT_s^2}{L_o} \frac{V_{C1}}{\Delta V_{C1}}. \quad (3.159)$$

Devido a simetria do conversor, o valor da capacitância C_4 é igual a C_1 . Determina-se como requisito a ondulação da tensão nesses capacitores, $\frac{\Delta V_{C_i}}{V_{C_i}}$ menor que 2%. Sob essas condições, valor mínimo de C_1 é $7 \mu F$. Adota-se, assim, $C_1 = C_4 = 10 \mu F$.

De maneira similar, o mesmo é realizado para o capacitor C_1 do conversor tipo 2. A Figura 42 apresenta a forma de onda da corrente nesse elemento. Observa-se que ΔQ é definida aproximadamente pela área no intervalo $t_3 - t_2$, calcula-se, então:

Figura 42 – Corrente no capacitor C_1 do conversor tipo 2

Fonte: A autora (2021).

$$\Delta Q = \frac{(t_3 - t_2)i_{C_1}(t_2)}{2}, \quad (3.160)$$

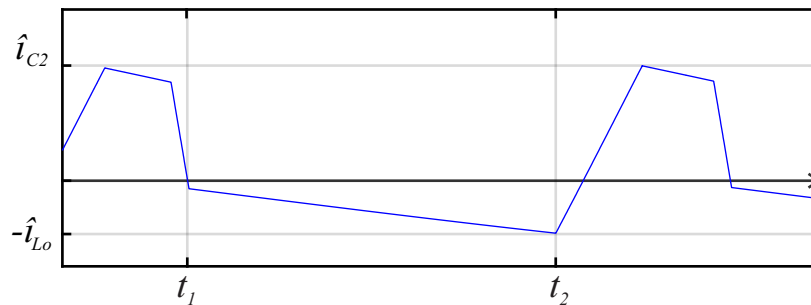
onde o intervalo $t_3 - t_2$ é determinado pela Equação (3.79) e a corrente $i_{C_1}(t_2)$ é igual a corrente de pico no diodo D_1 . Logo, fazendo as devidas substituições, a capacitância C_1 do conversor tipo 2 é calculada por:

$$C_1 \geq \frac{T_S P}{1 + 2nkD + D} \frac{(1 - D)^2}{V_{in}} \frac{V_{C_1}}{\Delta V_{C_1}}. \quad (3.161)$$

Assim como no valor da capacitância C_1 do conversor tipo 1, a simetria da topologia é válida. A ondulação da tensão é definida como requisito: $\frac{\Delta V_{C_i}}{V_{C_i}}$ menor que 2 %. Sob essas condições, valor mínimo de C_1 é 6,16 μF . Adota-se, assim, $C_1 = C_4 = 10 \mu F$.

Através da análise das Figuras 28 e 38, percebe-se que a corrente do capacitor C_1 do conversor tipo 3 possui comportamento semelhante ao do conversor tipo 1. Assim, a capacitância C_1 é obtida similarmente e definida pela Equação (3.159).

O mesmo processo é realizado para o capacitor C_2 do conversor tipo 1. A forma de onda da corrente neste componente é apresentada na Figura 43.

Figura 43 – Corrente no capacitor C_2 do conversor tipo 1

Fonte: A autora (2021).

Assim, a variação de carga é obtida como:

$$\Delta Q = \frac{d_1 T_s}{2} (i_{C_2}(t_2) - i_{C_2}(t_1)), \quad (3.162)$$

onde os valores da corrente nos instantes t_o e t_2 são definidos por:

$$\begin{aligned} i_{C_2}(t_1) &= -i_{L_o}(t_1), \\ i_{C_2}(t_2) &= -\hat{I}_{L_o} = I_o + \Delta i_{L_o}. \end{aligned} \quad (3.163)$$

Substitui as Equações (3.56), (3.152), (3.155) (3.162) e (3.163), determinando a capacitância mínima C_2 :

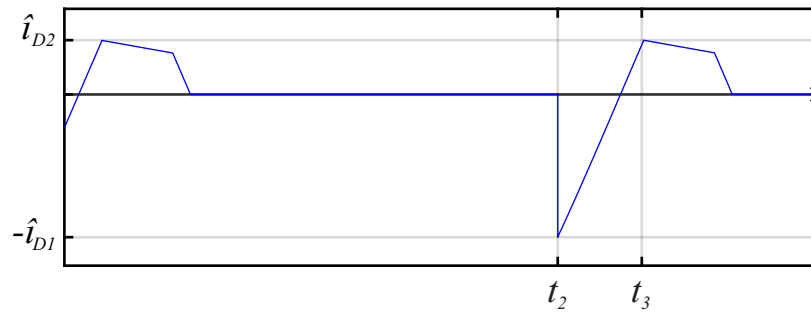
$$C_2 \geq \frac{(1-D)DT_s^2}{nDL_o} \frac{V_{C_2}}{\Delta V_{C_2}}. \quad (3.164)$$

Assim, a ondulação é definida por $\frac{\Delta V_{C_2}}{V_{C_2}}$ menor que 2%. Sendo assim, tem-se a capacitância $C_2 \geq 5,8 \mu F$. Os valores das capacitâncias C_2 e C_3 são iguais por causa da simetria da topologia. Desta forma, foi adotado $C_2 = C_3 = 10 \mu F$ para reduzir ondulação.

Através da análise das Figuras 28 e 33, nota-se que a corrente do capacitor C_2 do conversor tipo 2 possui comportamento semelhante ao do conversor tipo 1. Assim, a capacitância é obtida similarmente e definida pela Equação (3.164).

A capacitância C_2 do conversor tipo 3 é determinada pela carga no capacitor. A Figura 44 apresenta a forma de onda da corrente i_{C_1} . Observa-se que ΔQ é definida aproximadamente pela área no intervalo $t_3 - t_2$, calcula-se, então:

Figura 44 – Corrente no capacitor C_2 do conversor tipo 3



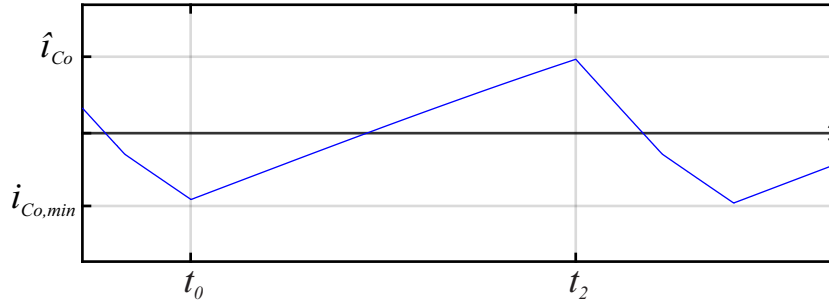
Fonte: A autora (2021).

$$\Delta Q = \frac{(t_3 - t_2)i_{C_1}(t_2)}{2}, \quad (3.165)$$

onde $i_{C_1}(t_2)$ é igual a corrente de pico no diodo D_1 . Nota-se que a expressão é semelhante a do capacitor C_1 do conversor tipo 2. Assim, a capacitância C_2 do conversor tipo 3 é calculada pela Equação (3.161). A ondulação também é definida como $\frac{\Delta V_{C_i}}{V_{C_i}}$ menor que 2 %. Portanto, valor mínimo de C_1 é $6,16 \mu F$ e determina-se $C_1 = C_4 = 10 \mu F$.

Através da análise das topologias propostas, percebe-se que a tensão e a corrente no capacitor C_o são similares. A forma de onda da corrente nesse componente é representada na Figura 45. Assim como realizado para os demais capacitores, calcula-se a variação de carga por:

Figura 45 – Corrente no capacitor C_o



Fonte: A autora (2021).

$$\Delta Q = \frac{DT_s}{2} (i_{C_o}(t_2) - i_{C_o}(t_0)), \quad (3.166)$$

Pela LKC, nota-se que a corrente neste componente é igual a:

$$i_{C_o} = i_{L_o} - I_o, \quad (3.167)$$

assim, calcula-se:

$$\begin{aligned} i_{C_o}(t_0) &= -I_{L_o,min} - I_o = -\Delta i_{L_o} \\ i_{C_o}(t_2) &= -\hat{I}_{L_o} - I_o = \Delta i_{L_o} \end{aligned} \quad (3.168)$$

Substituindo as Equações (3.152), (3.155), (3.166), (3.167) e (3.168), a capacitância C_o é obtida por:

$$C_o \geq \frac{DT_s^2}{ML_o} \frac{V_o}{\Delta V_o}. \quad (3.169)$$

Como a tensão no capacitor C_o é igual a tensão de saída, a ondulação é determinada por $\frac{\Delta V_{C_o}}{V_{C_o}}$ menor que 1 %. Sendo assim, tem-se a capacitância $C_o \geq 3,4 \mu F$. Logo, adota-se $C_o = 5 \mu F$.

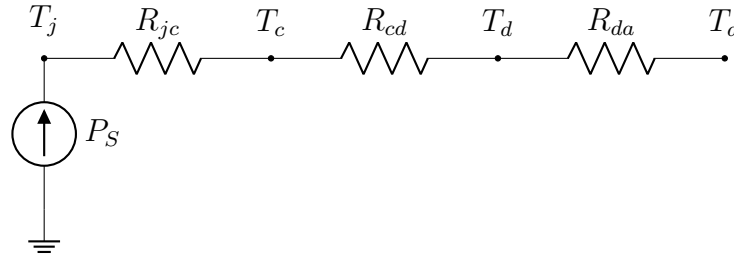
3.3.7 Projeto térmico do MOSFET

O projeto térmico do MOSFET é realizado a partir da potência média dissipada nesse componente. Esse cálculo é descrito no Capítulo 4 e não será abordado nessa seção. O valor das perdas no MOSFET utilizado é determinado como $P_S = 2 W$.

Para o estudo térmico utiliza-se o modelo apresentado na Figura 46. A potência média dissipada é representada por uma fonte de corrente e as temperaturas são correspondentes às tensões nos respectivos nós. A temperatura ambiente (T_a) é considerada constante e igual a 55°

e a variação de temperatura é $\Delta T = T_d - T_a = 75^\circ$. O intuito desse projeto é garantir que a temperatura da junção (T_j) não ultrapasse o valor máximo definido pelo *datasheet* do fabricante apresentado no Anexo A.

Figura 46 – Modelo térmico



Fonte: A autora (2021).

As resistências térmicas entre a junção e a cápsula (R_{jc}), entre a cápsula e o dissipador (R_{cd}) e entre o dissipador e o ambiente (R_{da}) equivalem a resistência entre a junção e ambiente (R_{ja}), isto é, $R_{jc} + R_{cd} + R_{da} = R_{ja}$. Sabe-se que R_{ja} é definida pelo fabricante. Ao observar a Figura 46, define-se temperatura da junção por:

$$T_j = P_S R_{ja} + T_a. \quad (3.170)$$

A temperatura máxima de junção definida no *datasheet* é $T_{j,max} = 175^\circ$. Como o valor calculado $T_j = 179^\circ$ é maior que $T_{j,max}$, se faz necessário o uso de dissipador no MOSFET. Calcula-se a resistência térmica do dissipador a partir das demais resistências. Assim, tem-se $R_{da} = 61 \Omega$. A resistência térmica do dissipador escolhido deve ser menor que a calculada.

3.4 RESULTADOS SIMULADOS

O desempenho dos conversores propostos são avaliados pela simulação no *software* MATLAB/Simulink. Para esta foram utilizados os parâmetros mostrados na Tabela 3.

Neste capítulo, não foi implementada nenhuma malha de controle de tensão ou corrente. Assim, considera-se o ciclo de trabalho constante para validação da análise em regime permanente e das etapas de operação descritas. Ainda, a fim de obter um resultado fidedigno, os elementos semicondutores foram modelados de acordo com fabricante e as resistências parasitas dos componentes passivos foram consideradas.

Conforme previamente descrito, a família de conversores propostos é formada mediante a modificação na conexão dos capacitores. Apesar de possuírem o mesmo princípio de funcionamento e ganho estático, as características dos elementos capacitivos se distinguem. A Tabela 4 apresenta os valores calculados das tensões e das correntes a partir das equações desenvolvidas neste capítulo.

Tabela 3 – Valores dos parâmetros e componentes utilizados na simulação

Parâmetro	Valor
Razão cíclica (D)	0,7110
Tensão de entrada (V_{in})	14,8 V
Frequência de chaveamento (F)	100 kHz
Relação de transformação (n)	2
Indutâncias de magnetização (L_m)	15 μH
Indutância de dispersão (L_k)	1,5 μH
Indutância de saída (L_o)	100 μH
Capacitores (C_1, C_2, C_3, C_4)	10 μF
Resistências ($R_{C_1}, R_{C_2}, R_{C_3}, R_{C_4}$)	9 m Ω
Capacitor de saída (C_o)	5 μF
Resistência (R_{C_o})	12 m Ω
Tensão de saída (V_o)	220 V
Potência nominal (P_o)	140 W

Fonte: A autora (2021).

Tabela 4 – Valores calculados para os conversores propostos com carga plena

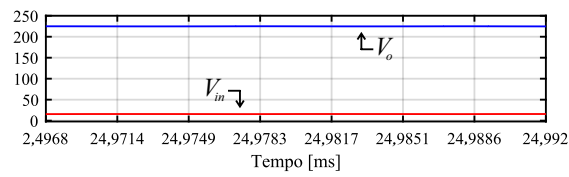
Conversor	Tipo 1	Tipo 2	Tipo 3
Parâmetro	Valores calculados		
Tensão máxima sobre chave	56,13 V	56,13 V	56,13 V
Tensão máxima sobre D_1 e D_4	56,13 V	56,13 V	56,13 V
Tensão máxima sobre D_2 e D_3	88,18 V	88,18 V	88,18 V
Corrente eficaz na chave	10,18 A	10,18 A	10,18 A
Corrente eficaz nos D_1 e D_4	1,81 A	1,81 A	1,81 A
Corrente eficaz nos D_2 e D_3	1,29 A	1,29 A	1,29 A
Corrente máxima no indutor L_m	15,51 A	15,51 A	15,51 A
Corrente máxima no indutor L_k	15,51 A	15,51 A	15,51 A
Corrente máxima no indutor L_o	1,16 A	1,16 A	1,16 A
Tensão média sobre C_1 e C_4	56,13 V	56,13 V	117,4 V
Tensão média sobre C_2 e C_3	61,27 V	117,4 V	61,27 V

Fonte: A autora (2021).

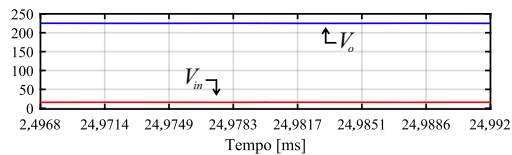
As principais formas de onda das topologias propostas com carga plena operando em malha aberta são apresentados nas Figuras 47, 48 e 49. Observam-se que as etapas de operação e comportamentos dos elementos semicondutores e indutivos são similares. Destacam-se alguns aspectos dentro a família: o ganho de tensão é igual; todos diodos operam em ZCS ao bloquear; a chave é acionada com corrente nula; e o valor negativo da corrente no indutor de dispersão durante a etapa 4. Além disso, os valores apresentados na Tabela 4 são validados pela simulação.

Figura 47 – Tensões de entrada e de saída

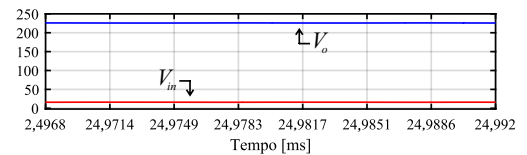
(a) Conversor proposto tipo 1



(b) Conversor proposto tipo 2



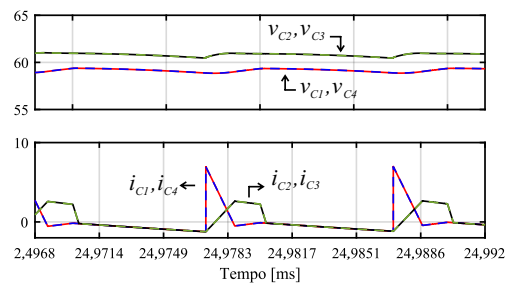
(c) Conversor proposto tipo 3



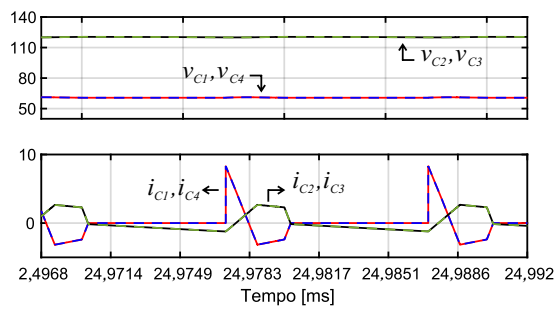
Fonte: Formas de onda obtidas pela simulação.

Figura 48 – Formas de onda dos capacitores com carga plena.

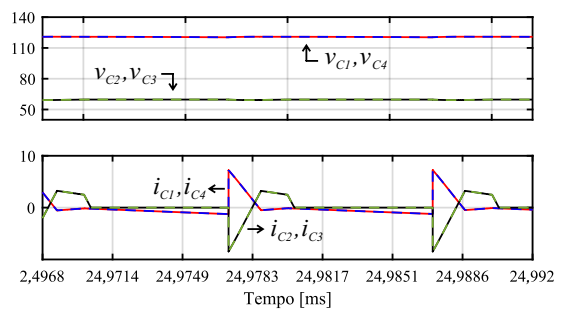
(a) Conversor proposto tipo 1



(b) Conversor proposto tipo 2



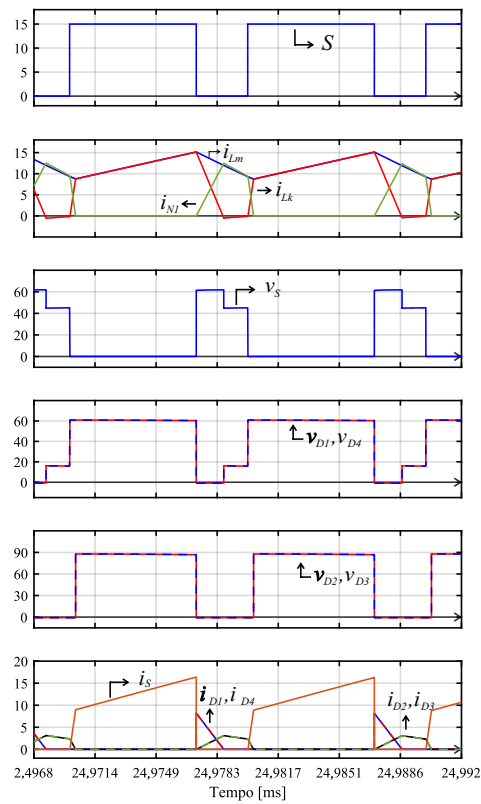
(c) Conversor proposto tipo 3



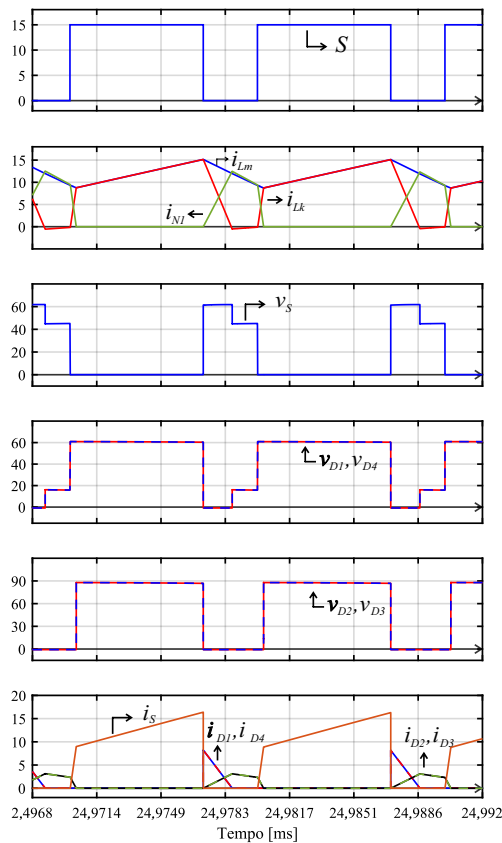
Fonte: A autora (2021).

Figura 49 – Principais formas de onda dos conversores propostos com carga plena

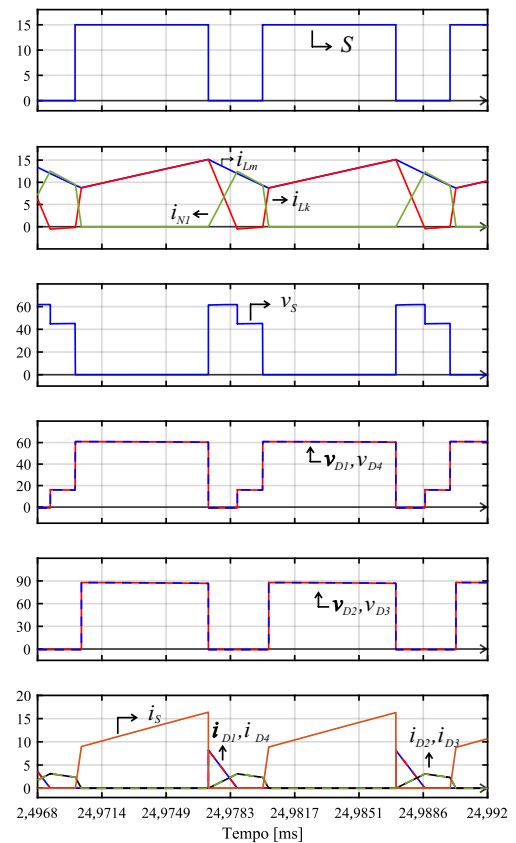
(a) Conversor proposto tipo 1



(b) Conversor proposto tipo 2



(c) Conversor proposto tipo 3



Fonte: Formas de onda obtidas pela simulação.

Na Figura 48, as formas de onda dos capacitores das topologias propostas são ilustradas. Nota-se que o carregamento e descarregamento dos capacitores ocorre nos mesmos intervalos. Entretanto, a derivada da corrente e tensão média são diferentes entre as topologias.

O conversor proposto tipo 1 é o que apresenta menor esforço total de tensão sobre os capacitores. Este fato se deve ao posicionamento intermediário desses elementos no circuito, mostrado na Figura 23(a). Já nos conversores tipo 2 e tipo 3, a presença de dois capacitores em série na saída, eleva a tensão nesses componentes.

Ainda, ressalta-se a derivada de carga dos capacitores. No conversor tipo 2, ilustrado na Figura 23(b), observa-se que os capacitores C_1 e C_4 são carregados através dos diodos D_1 e D_4 . Quando estes componentes são bloqueados, a energia acumulada é transferida para C_2 e C_3 . Desta forma, a corrente em C_1 e C_4 neste intervalo tem sentido oposto a corrente em C_2 e C_3 .

Um evento similar é visto no conversor tipo 3, mostrado na Figura 23(c). Quando todos os diodos estão conduzindo, a corrente em C_1 e C_4 é oposta a corrente em C_2 e C_3 , respectivamente. Já no conversor tipo 1, a transferência de energia dos capacitores é feita na saída, isto é, durante a descarga destes componentes, a sua corrente é igual a corrente na saída. Percebe-se então que nos conversores tipo 2 e tipo 3, a derivada é maior durante o descarregamento.

A fim de validar as equações desenvolvidas para os conversores propostos, também são apresentados os resultados simulados em meia carga. Ao se alterar a carga, as correntes nos componentes são alteradas. Desta forma, a Tabela 5 apresenta os valores calculados das correntes e a Figura 50 ilustra as principais formas de onda. Note que as Equações (3.70), (3.71), (3.74), (3.91), (3.94) e (3.98) são corroboradas.

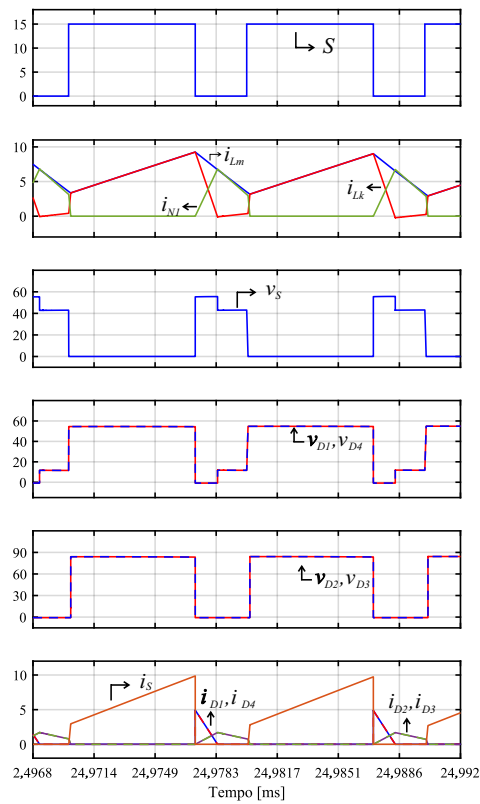
Tabela 5 – Valores calculados para os conversores propostos com meia carga

Conversor	Tipo 1	Tipo 2	Tipo 3
Parâmetro	Valores calculados		
Corrente eficaz na chave	4,93 A	4,93 A	4,93 A
Corrente eficaz nos D_1 e D_4	1 A	1 A	1 A
Corrente eficaz nos D_2 e D_3	0,65 A	0,65 A	0,65 A
Corrente máxima no indutor L_m	9,51 A	9,51 A	9,51 A
Corrente máxima no indutor L_k	9,51 A	9,51 A	9,51 A
Corrente máxima no indutor L_o	0,84 A	0,84 A	0,84 A

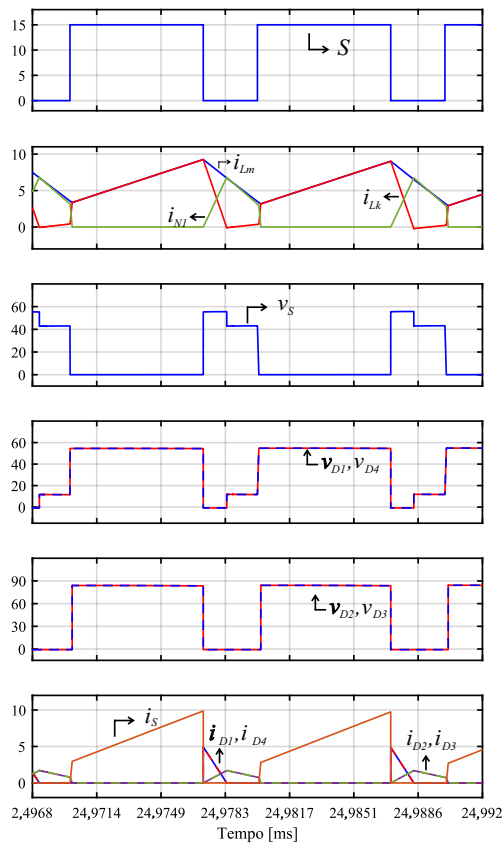
Fonte: A autora (2021).

Figura 50 – Principais formas de onda dos conversores propostos com meia carga

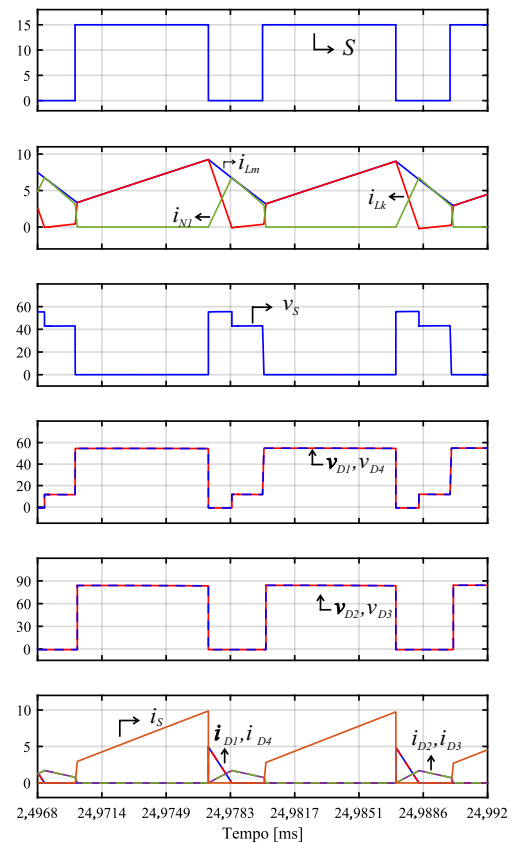
(a) Conversor proposto tipo 1



(b) Conversor proposto tipo 2



(c) Conversor proposto tipo 3



Fonte: Formas de onda obtidas pela simulação.

Ainda, com intuito de validar as equações desenvolvidas, são apresentados os resultados simulados com tensão de entrada $V_{in} = 30\text{ V}$. Desta forma, o ciclo de trabalho necessário para atingir o ganho de tensão é reduzido para $D = 0,5291$. A Tabela 6 descreve os valores calculados e a Figura 51 ilustra as principais formas de onda obtidas por simulação. Observa-se que tanto corrente como tensão sofre influência do ciclo de trabalho. Logo, as Equações (3.55), (3.56), (3.84), (3.85), (3.86), (3.91), (3.94), (3.98), (3.122) e (3.143) são validadas.

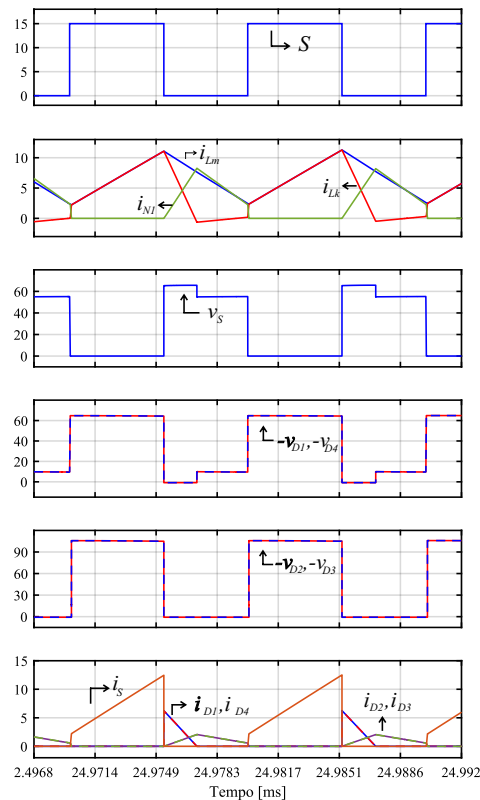
Tabela 6 – Valores calculados para os conversores propostos com $V_{in} = 30\text{ V}$

Conversor	Tipo 1	Tipo 2	Tipo 3
Parâmetro	Valores calculados		
Tensão máxima sobre chave	65,96 V	65,96 V	65,96 V
Tensão máxima sobre D_1 e D_4	65,96 V	65,96 V	65,96 V
Tensão máxima sobre D_2 e D_3	113,59 V	113,59 V	113,59 V
Corrente eficaz na chave	5,31 A	5,31 A	5,31 A
Corrente eficaz nos D_1 e D_4	1,63 A	1,63 A	1,63 A
Corrente eficaz nos D_2 e D_3	1,03 A	1,03 A	1,03 A
Corrente máxima no indutor L_m	12,5 A	12,5 A	12,5 A
Corrente máxima no indutor L_k	12,5 A	12,5 A	12,5 A
Corrente máxima no indutor L_o	1,43 A	1,43 A	1,43 A
Tensão média sobre C_1 e C_4	65,96 V	65,96 V	125 V
Tensão média sobre C_2 e C_3	59,04 V	125 V	59,04 V

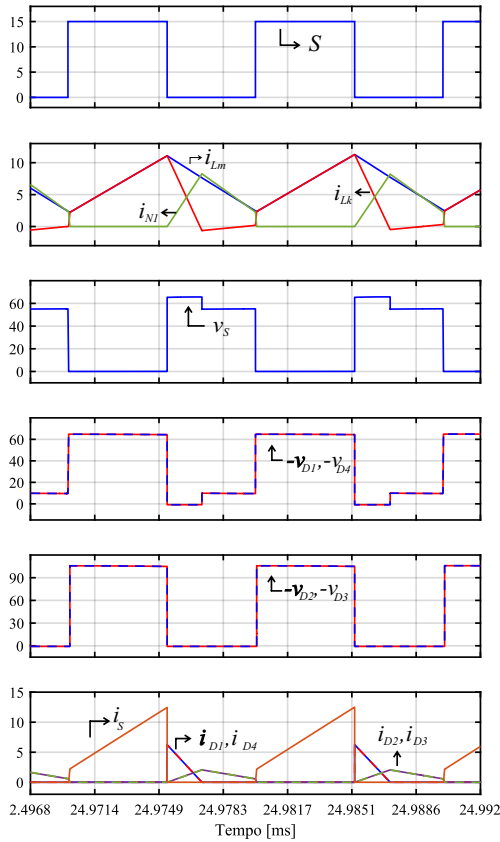
Fonte: A autora (2021).

Figura 51 – Principais formas de onda dos conversores propostos com $V_{in} = 30\text{ V}$

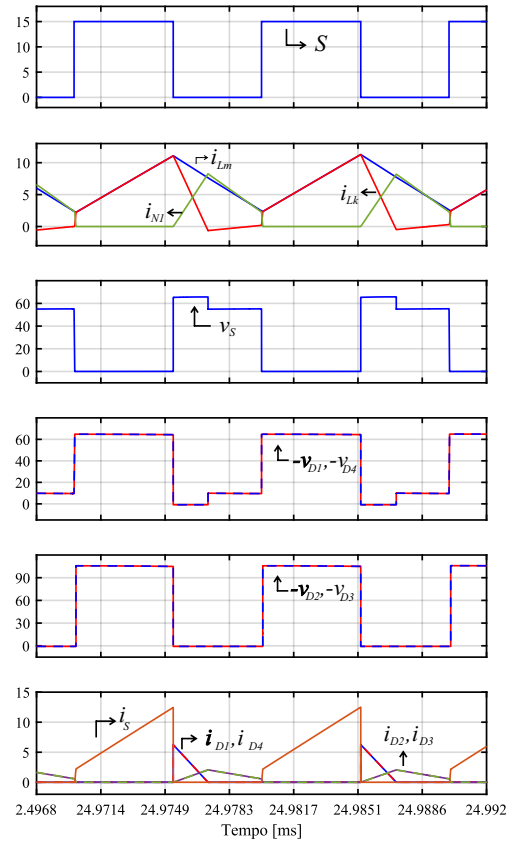
(a) Conversor proposto tipo 1



(b) Conversor proposto tipo 2



(c) Conversor proposto tipo 3



Fonte: Formas de onda obtidas pela simulação.

3.5 CONCLUSÃO

Este capítulo abordou a família de conversores de alto ganho com chave única, ressaltando as etapas de operação e os requisitos de projeto. Os requisitos práticos de projeto foram apresentados para aplicações em otimizadores de potência e microinversores conectados à rede.

Os intervalos de tempo para cada etapa de operação foram determinados, assim como as equações de ganho e de tensão em regime permanente foram definidas. Desenvolveu-se as equações dos esforços sobre os semicondutores e das correntes nos indutores. A análise do indutor magnetizante também foi realizada para que o conversor opere sempre em modo contínuo.

As simulações dos conversores propostos validaram o comportamento conforme as equações desenvolvidas. O ganho de tensão é obtido como descrito na expressão calculada e as formas de onda confirmam as etapas de operação descritas.

4 ANÁLISE COMPARATIVA

Este capítulo apresenta um estudo comparativo, abordando os conversores c.c./c.c. propostos e os expostos no capítulo 2. O objetivo desta análise é descrever o comportamento das topologias propostas e realizar o estudo das perdas nos principais componentes. Ainda, relacionar o conversor proposto tipo 1 com as topologias similares mais relevantes na literatura conforme suas principais características.

4.1 ESTUDO DE PERDAS

4.1.1 Perdas no MOSFET

A alta eficiência do conversor é uma das características desejáveis para a maioria das aplicações. As perdas nas chaves de potência, tais como MOSFET (do inglês *Metal-oxide-semiconductor field effect*), impactam nesse valor. A potência dissipada pelas chaves é gerada por diversas causas, entre elas: chaveamento, corrente de fuga, condução, fluxo reverso de corrente. Nesta seção, são estudadas as perdas durante a condução e o chaveamento do MOSFET.

Quando o MOSFET opera como chave eletrônica, ele possui resistência finita no estado ligado e desligado. Durante a condução, há uma queda de tensão devido a essa resistência, apresentando um comportamento resistivo entre os terminais do dreno e *source* (fonte). Já enquanto desligada, tem-se um fluxo reverso de corrente na chave. Uma vez que as perdas durante a condução são as mais críticas num conversor, as perdas durante a período em que a chave está desligada podem ser desprezadas (GLITZ et al., 2018; GRANT; GOWAR, 1989; RASHID et al., 2010).

As perdas de condução (P_{con}) em um MOSFET podem ser expressas como:

$$P_{con} = R_{DS(on)} I_{DS(rms)}^2, \quad (4.1)$$

onde $R_{DS(on)}$ é a soma das contribuições resistivas entre os terminais do dreno e *source* definida pelo *datasheet* do fabricante, e $I_{DS(rms)}$ é o valor da corrente eficaz dreno-*source* definido pela aplicação.

A dissipação de potência devido ao chaveamento no MOSFET acontece durante a transição dos estados da chave. Subdivide-se essas perdas em duas: disparo, quando a chave semicondutora é ligada; e bloqueio, quando desligada. O cálculo da potência dissipada é descrito por:

$$P_{SW} = P_{SW(on)} + P_{SW(off)}, \quad (4.2)$$

onde P_{SW} representa as perdas totais por chaveamento, $P_{SW(on)}$ as perdas no disparo e, $P_{SW(off)}$ as perdas no bloqueio.

O cálculo da potência dissipada no chaveamento não é simples uma vez que depende de características intrínsecas ao MOSFET, como resistência do *gate* (gatilho), das capacitâncias parasitas e das características da carga. Por este motivo, esse cálculo é apresentado em detalhes no Apêndice B. Assim, o valor das perdas no MOSFET durante o chaveamento é definido como:

$$P_{SW} = \frac{V_S f_s}{2} (T_r I_{DS_{rms,min}} + T_f I_{DS_{rms,max}}), \quad (4.3)$$

onde f_s é a frequência de chaveamento e V_S é a tensão sobre o MOSFET, ambas obtidos pela simulação dos conversores no *software* MATLAB/Simulink. Enquanto T_f é definido como o tempo de descida e T_r é o tempo de subida. Esses valores são encontrados no *datasheet* do fabricante.

4.1.2 Perdas no diodo

A dissipação de potência no diodo se dará durante a condução e a comutação. Essa última ocorre ao ligar e ao desligar o diodo. As perdas de condução se caracterizam pela queda de tensão devido à resistência interna e pela tensão modelada de barreira (V_f). A equação seguinte define seu cálculo:

$$P_{D_{con}} = V_f I_D. \quad (4.4)$$

Sabe-se que a tensão V_f é função da temperatura e da corrente I_D . Admite-se para o cálculo a equação definida no *datasheet* do fabricante.

A dissipação de potência em consequência do chaveamento se divide entre ao ligar e ao desligar o diodo. As perdas durante o disparo são normalmente desprezíveis. Assim, a dissipação de potência do chaveamento é determinada pela equação abaixo:

$$P_{D_{SW}} = V_r Q_{rr} f_s, \quad (4.5)$$

onde V_r é a tensão de recuperação reversa e Q_{rr} é a carga de recuperação reversa indicada pelas equações a seguir:

$$t_{rr} \cong \sqrt{\frac{3Q_{rr}}{di_D/dt}}, \quad (4.6)$$

$$I_r \cong \sqrt{\frac{4}{3} Q_{rr} \frac{di_D}{dt}}, \quad (4.7)$$

onde t_{rr} é o tempo de recuperação reversa, I_r a corrente de recuperação reversa, ambos definidos pelo fabricante. A derivada da corrente (di_D/dt) é determinada pelo circuito.

4.1.3 Perdas nos capacitores

As perdas de condução nos capacitores são definidas pela seguinte equação:

$$P_C = R_C i_{C_{rms}}^2, \quad (4.8)$$

onde R_C é a resistência parasita do capacitor e $i_{C_{rms}}$ é a corrente eficaz no capacitor.

4.1.4 Perdas no indutor L_o

As perdas durante a condução no indutor L_o são calculadas por:

$$P_L = R_{L_o} i_{L_o, rms}^2, \quad (4.9)$$

em que R_{L_o} é a resistência parasita de L_o e $i_{L_o, rms}$ é a corrente eficaz no indutor L_o .

4.1.5 Perdas no indutor acoplado

As perdas do indutor acoplado podem ser divididas em perdas do núcleo e do cobre. As perdas do núcleo estão ligadas ao fluxo magnético (B) e são definidas pelo *datasheet* do fabricante (MAGNETICS, 2020).

$$P_{nucleo} = a B_{max}^b f_s^c, \quad (4.10)$$

onde a , b e c são parâmetros determinados pelo ajuste de curvas no manual do fabricante. O fluxo magnético B_{max} é determinado a partir do valor de sua variação conforme as equações abaixo:

$$B_{max} = \frac{\Delta B}{2}. \quad (4.11)$$

A potência dissipada pelos condutores do enrolamento depende diretamente da resistência do enrolamento. Assim, tem-se:

$$P_{cobre} = R_{fio} I_{rms}^2, \quad (4.12)$$

$$R_{fio} = \frac{N l_{espira} \rho_{fio}}{N_c}, \quad (4.13)$$

onde l_{espira} é o comprimento médio de uma espira, N é o número de espiras do enrolamento, ρ_{fio} é a resistividade do fio e N_c é o número de fios de cobre em paralelo. Como foi utilizado o fio *Litz* no projeto, o valor calculado de N_c é multiplicado pela quantidade de fios nas tranças.

Devido a complexidade, o valor das perdas referente ao indutor acoplado é calculado separadamente em *script* do *software* MATLAB. O resultado é, então, inserido no *script* principal, contendo o cálculo de perdas dos componentes remanescentes.

4.1.6 Eficiência

A fim de completar o estudo de perdas, determinou-se a eficiência calculada através da dissipação total de potência. O cálculo é realizado no *script* do *software* MATLAB apresentado no Apêndice C. Assim, tem-se:

$$Ef_{cal} = 1 - \frac{P_{Totais}}{P_{in}}, \quad (4.14)$$

onde P_{in} é a potência medida na entrada do conversor e P_{Totais} representa as perdas totais nos componentes calculados conforme descrito previamente.

4.1.7 Resultados das perdas

Após a definição do modelo para o cálculo das perdas, foram realizadas simulações no *software* MATLAB/Simulink. O objetivo dessas é analisar a dissipação de potência nos componentes e eficiências das topologias propostas.

Ressalta-se que a análise realizada é válida apenas para os parâmetros definidos na Tabela 3. A chave semicondutora utilizada foi a IPP048N12N3. Os diodos foram determinados pela corrente máxima sobre eles. Naqueles com corrente maior que 8 A, STTH1202 foi utilizado, e nos demais, STTH802. As informações dos fabricantes dos componentes semicondutores são encontradas nos Anexos A e B, respectivamente. O objetivo desse estudo é um comparativo das topologias. Os valores obtidos não são absolutos. Assim, pretende-se relacionar as topologias apresentadas e classificá-las de acordo com a dissipação de potência.

Após a simulação, os valores das perdas nos componentes foram obtidos por meio de *script* no *software* MATLAB descrito no Apêndice C. Devido a comutação suave nos diodos, as perdas de recuperação reversa foram desconsideradas. A Tabela 7 apresenta os resultados das perdas e eficiência calculadas.

Tabela 7 – Perdas nos conversores propostos

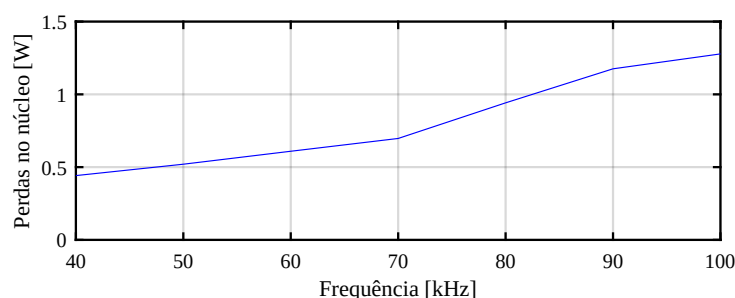
Top.	P_{con}	P_{SW}	$P_{D_{con}}$	P_C	P_{L_o}	P_{Nucleo}	P_{Cobre}	P_{Totais}	Ef_{cal}
Tp1	0,49 W	0,95 W	2,91 W	0,099 W	7,2 mW	1,28 W	0,18 W	5,89 W	95,60 %
Tp2	0,49 W	0,94 W	2,91 W	0,11 W	7,2 mW	1,28 W	0,18 W	5,90 W	95,59 %
Tp3	0,49 W	0,94 W	2,91 W	0,16 W	7,2 mW	1,28 W	0,18 W	5,96 W	95,55 %

Top. - Topologias. Tp1 - Proposto tipo 1. Tp2 - Proposto tipo 2. Tp3 - Proposto tipo 3.

Fonte: A autora (2021).

Observa-se que a dissipação de potência devido ao núcleo do indutor acoplado é similar para todas as topologias propostas. Pela Equação (4.10), tem-se que essas perdas variam em relação a frequência de chaveamento do circuito. Desta forma, o gráfico da Figura 52 apresenta os valores no conversor proposto tipo 1 para diferentes frequências. Percebe-se que a dissipação de potência é maior para frequências elevadas.

Figura 52 – Relação das perdas no núcleo do indutor acoplado pela frequência



Fonte: Formas de onda obtidas pela simulação.

Apesar da pequena diferença, o conversor tipo 1 apresenta maior eficiência dentre os propostos. A potência dissipada na chave durante a condução é reduzida em todas as topologias devido ao emprego de MOSFET com baixa resistência interna. Ainda, com consequência da escolha de fio *Litz* na fabricação do indutor acoplado, a potência dissipada no cobre é reduzida.

Nota-se que a potência dissipada pelos capacitores apresenta a maior diferença de valores. O conversor tipo 3 possui as maiores perdas nesses componentes. Contudo, essas perdas representam um valor pequeno da potência total dissipada. Logo, as topologias propostas possuem perdas totais similares quando aplicadas a mesma condição.

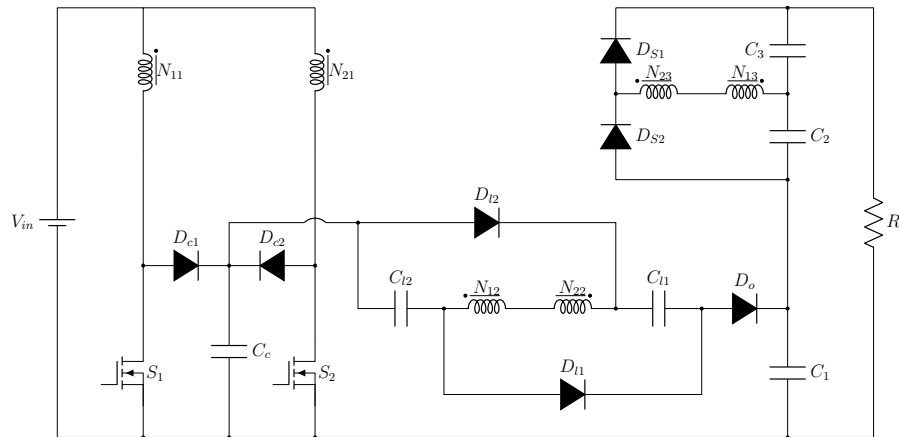
4.2 COMPARAÇÃO DE DESEMPENHO

Conforme apresentado no Capítulo 3, as topologias propostas possuem comportamento semelhante. Após estudos de perdas, nota-se que o conversor proposto tipo 1 apresenta melhores resultados. Por isso, o conversor tipo 1 foi escolhido para análise comparativa com topologias similares na literatura recente. Para tal propósito foram selecionados os seguintes conversores com indutor acoplado de três enrolamentos: Chen et al. (2020) (A); Pereira, Martins e Carvalho (2014) (B); Tseng et al. (2015) (C); Azizkandi et al. (2020) (D); Farzin, Etemadi e Baghrmian (2019) (E); Samadian, Hosseini e Sabahi (2021) (F); Tseng, Lin e Huang (2015) (G); Hu et al. (2018) (H). Essas topologias são apresentadas novamente na Figura 53.

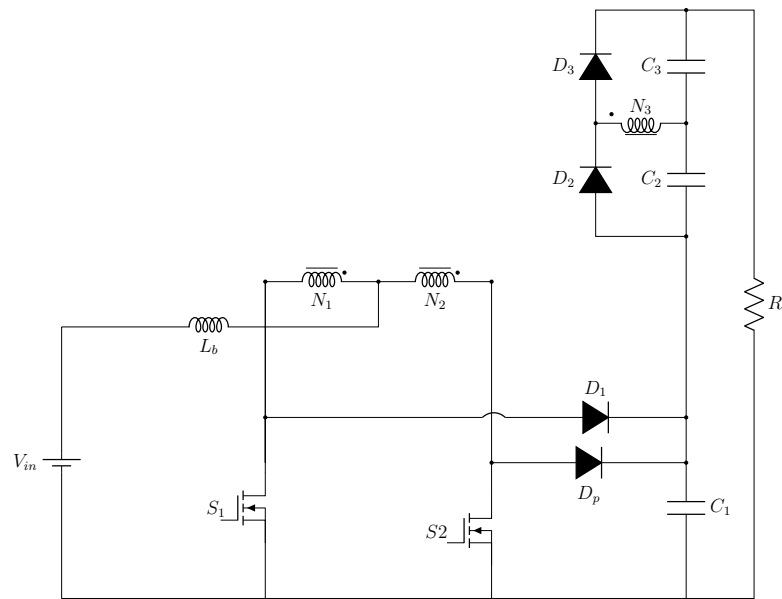
A Tabela 8 apresenta o resumo comparativo entre o conversor tipo 1 e as topologias definidas. As principais características, como ganho de tensão, esforços de tensão nas chaves, nos diodos e nos capacitores e o número total de componentes foram analisados. Observa-se que o conversor proposto tipo 1 possui o menor número de componentes semicondutores, sendo igual a topologia descrita em Tseng, Lin e Huang (2015). Contudo, tem um capacitor a mais que esta. Ainda, o número total é reduzido em relação a maioria dos conversores estudados.

Figura 53 – Topologias selecionadas para análise comparativa

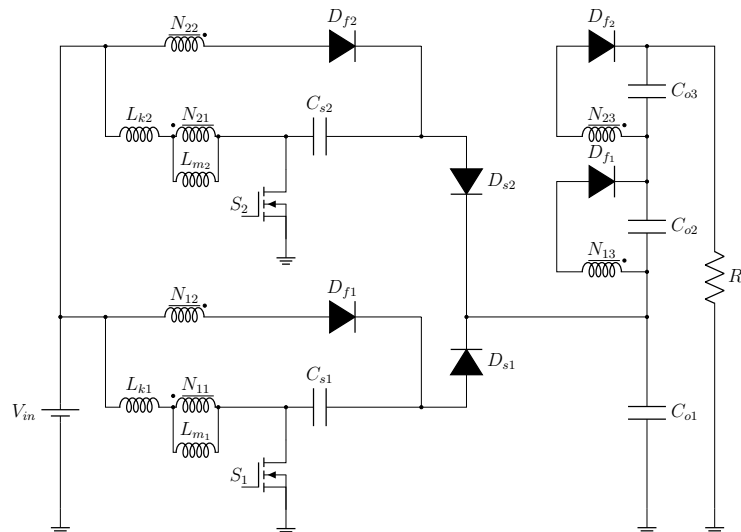
(a) Chen et al. (2020)



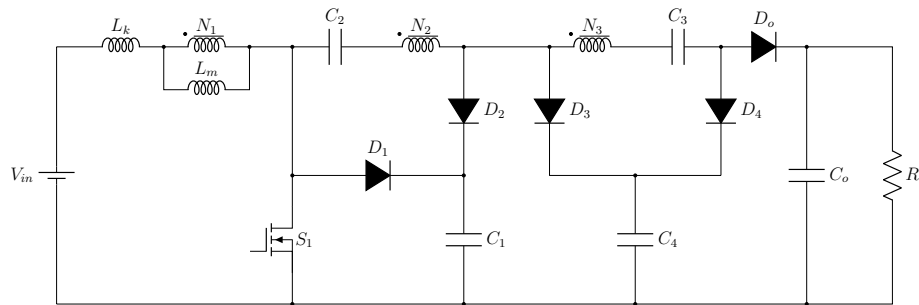
(b) Pereira, Martins e Carvalho (2014)



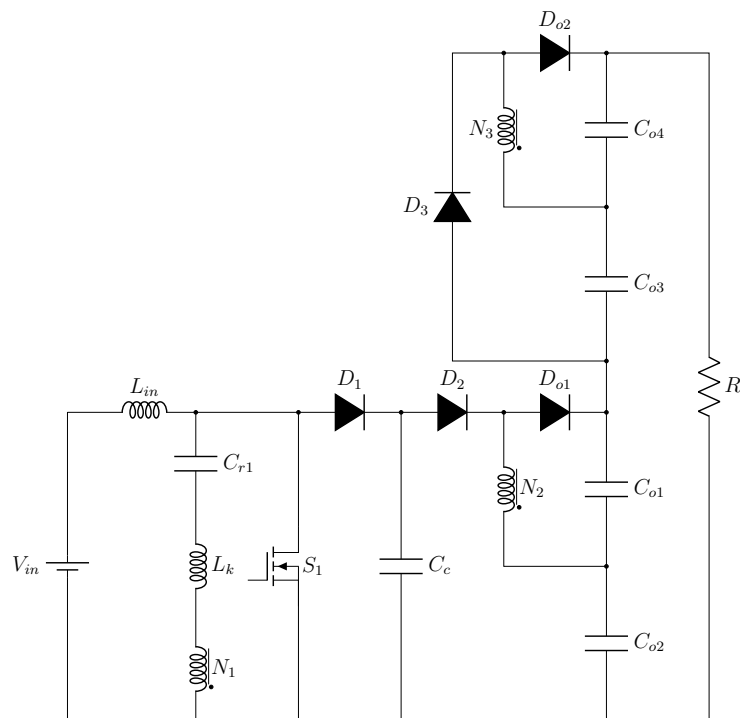
(c) Tseng et al. (2015)



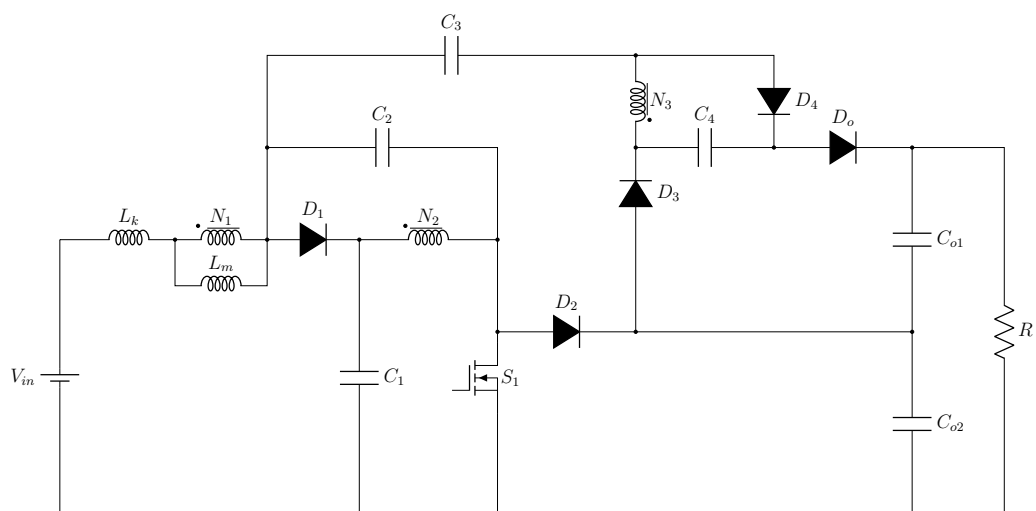
(d) Azizkandi et al. (2020)



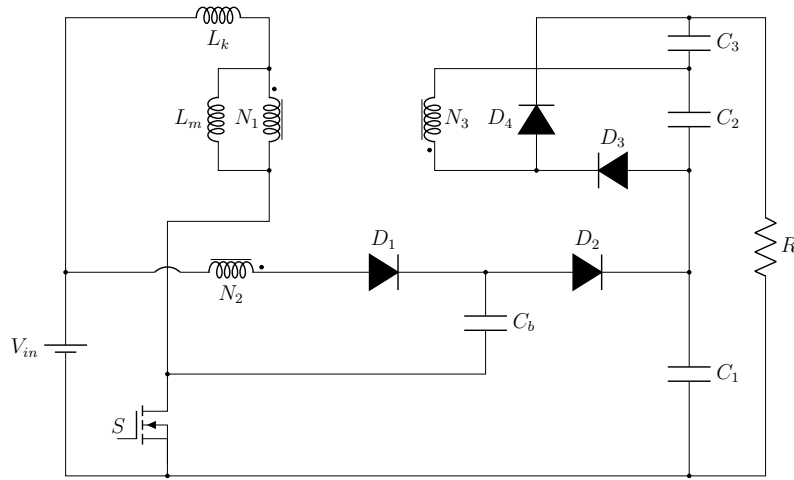
(e) Farzin, Etemadi e Baghrmian (2019)



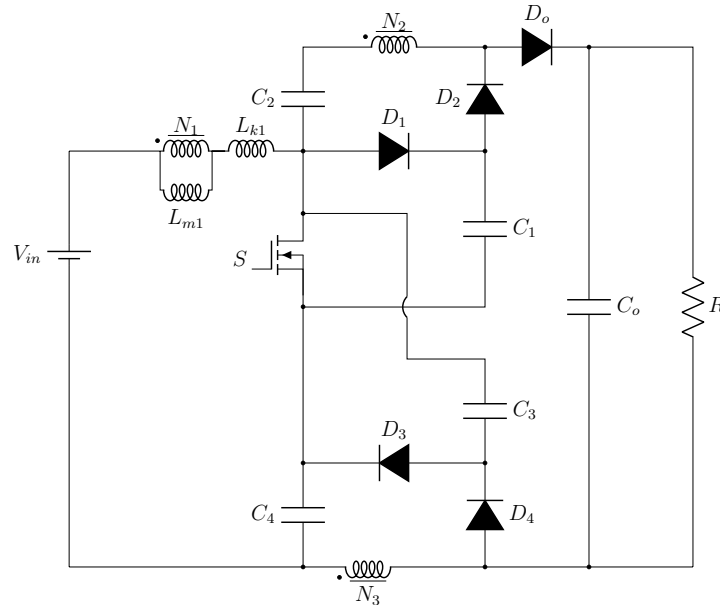
(f) Samadian, Hosseini e Sabahi (2021)



(g) Tseng, Lin e Huang (2015)



(h) Hu et al. (2018)



Fonte: Adaptado de Chen et al.; Pereira, Martins e Carvalho; Tseng et al.; Azizkandi et al.; Farzin, Etemadi e Baghrmian; Samadian, Hosseini e Sabahi; Tseng, Lin e Huang; Hu et al. (2020, 2014, 2015, 2020, 2019, 2021, 2015, 2018).

A fim de facilitar o entendimento e permitir uma compreensão mais profunda, a análise também é ilustrada nas Figuras 54, 55, 56 e 57. Algumas limitações devem ser abordadas. As topologias descritas por Chen et al. (2020), Pereira, Martins e Carvalho (2014) e Tseng et al. (2015) apresentam estruturas intercaladas de duas chaves. Por este fato, estas topologias operam apenas com ciclo de trabalho maior que 0,5. Ainda, a topologia proposta por Samadian, Hosseini e Sabahi (2021) possui limitação de projeto, atuando apenas com ciclo de trabalho inferior a 0,5. Assim, nos gráficos não são definidos estes intervalos para esses conversores.

Além disso, a faixa de operação $0,4 \leq D \leq 0,8$ para ganho de tensão 15 foi definida previamente para evitar uma razão cíclica elevada. Os gráficos do ganho de tensão para valores

Tabela 8 – Resumo comparativo com topologias similares

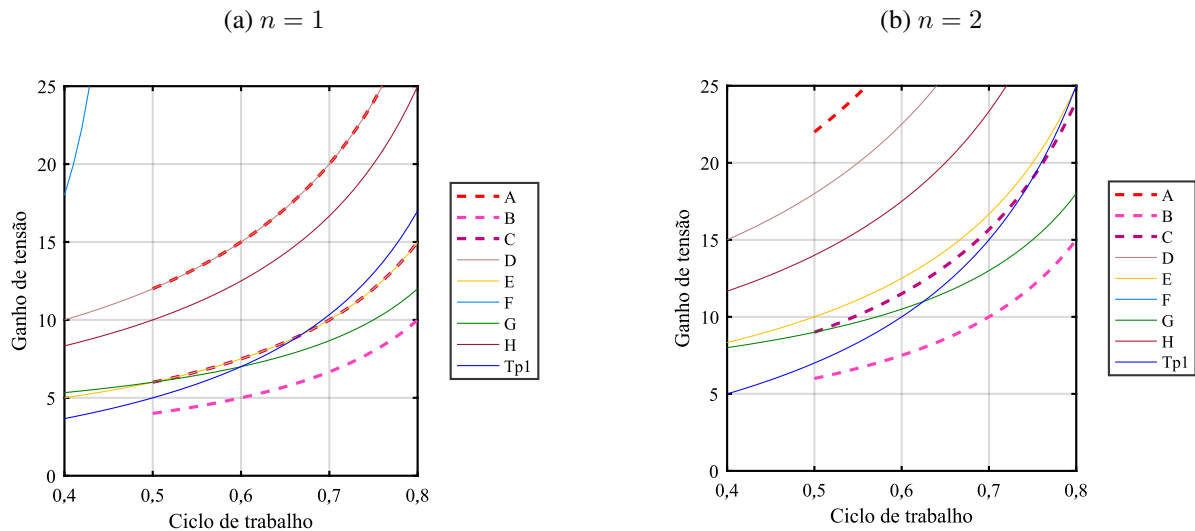
Ref.	Componentes					Ganho de tensão (M)	Esforço máximo de tensão		
	I	CI	C	D/S	Total		V_S/V_{in}	V_D/V_{in}	V_C/V_{in}
A	0	1	6	6/2	15	$\frac{5n+1}{1-D}$	$\frac{M}{5n+1}$	$\frac{2nM}{5n+1}$	$\frac{(3n+1)M}{5n+1}$
B	1	1	3	4/2	11	$\frac{1+n}{1-D}$	$\frac{M}{1+n}$	$\frac{nM}{1+n}$	$\frac{nM}{1+n}$
C	0	2	5	6/2	15	$n + \frac{2+2nD-D}{1-D}$	$\frac{M}{2+nD+n-D}$	$\frac{(1+n)M}{2+nD+n-D}$	$n + \frac{(2-D)M}{2+nD+n-D}$
D	0	1	5	5/1	12	$\frac{3+3n}{1-D}$	$\frac{M}{3+3n}$	$\frac{(1+2n)M}{3+3n}$	$\frac{M(1+n)}{3+3n}$
E	1	1	6	5/1	14	$2n + \frac{2nD+1}{1-D}$	$\frac{M}{2n+1}$	$\frac{nDM}{2n+1}$	$\frac{M(1+n-nD)}{2n+1}$
F	0	1	6	5/1	13	$\frac{2+n(2-D)}{1-2D}$	$\frac{2M-n}{4+3n}$	$\frac{(2M-n)(1+n)}{4+3n}$	$\frac{(1+2n-nD)M}{2+2n-nD}$
G	0	1	4	4/1	10	$n + \frac{2-D+n}{1-D}$	$\frac{M}{2+2n-D(1+n)}$	$\frac{(1+n)M}{2+2n-D(1+n)}$	$2 + n + \frac{DM}{2+2n-D(1+n)}$
H	0	1	5	5/1	12	$\frac{2n+3}{1-D}$	$\frac{M}{2n+3}$	$\frac{(2n+1)M}{2n+3}$	M
Tp1	1	1	5	4/1	12	$\frac{1+2nD+D}{1-D}$	$\frac{M}{1+2nD+D}$	$\frac{nM}{1+2nD+D}$	M

I- Indutores. CI - Indutores acoplados. C - Capacitores. D/S- Diodos/Chaves. Tp1 - Proposto tipo 1.

Fonte: A autora (2021).

distintos de relação de transformação são apresentados na Figura 54. Ao estabelecer $n = \frac{N_2}{N_1} = \frac{N_3}{N_1} = 2$, algumas das topologias não se adequam a faixa determinada. Desta forma, opta-se por apresentar as principais características para ambos os valores.

Figura 54 – Comparação do ganho de tensão



Fonte: A autora (2021).

A Figura 54(a) apresenta o ganho de tensão em função do ciclo de trabalho para relação de espiras unitária. Observa-se que a topologia proposta por Samadian, Hosseini e Sabahi (2021) não opera dentro da faixa desejada. O conversor proposto obtém ganho de tensão intermediário em comparação as demais topologias.

Ainda, apesar do número dobrado de indutores acoplados na topologia apresentada por Tseng et al. (2015), seu ganho de tensão é menor que o proposto em quase todo intervalo do ciclo de trabalho. Ressalta-se também que o ganho de tensão em Pereira, Martins e Carvalho (2014), Farzin, Etemadi e Baghrmian (2019) e Tseng, Lin e Huang (2015) é menor que o conversor tipo 1. Dentre eles, o único com número de componentes ligeiramente menor é o conversor descrito por Tseng, Lin e Huang (2015).

O gráfico do ganho de tensão com relação de espiras igual a dois é ilustrado na Figura 54(b). Nesta, tanto o conversor desenvolvido por Samadian, Hosseini e Sabahi (2021) quanto o por Chen et al. (2020) não estão dentro da faixa do ganho de tensão. Nota-se que o conversor proposto atinge alto ganho de tensão com ciclo de trabalho intermediário para ambos os valores da relação de espiras. Logo, ele é uma solução competitiva.

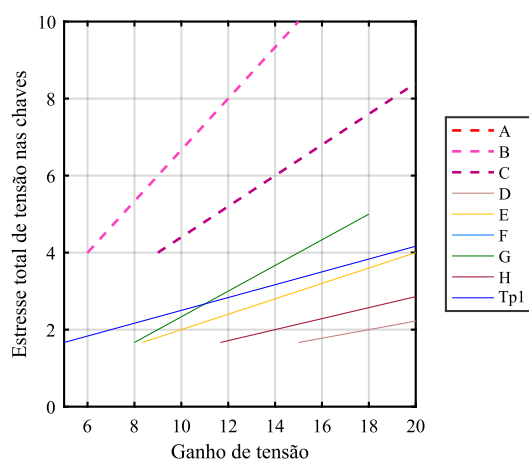
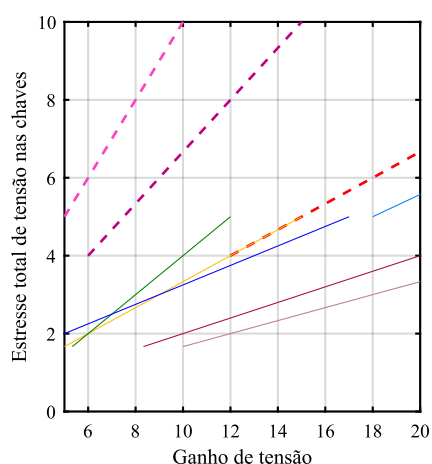
A Figura 55 mostra o esforço de tensão nas chaves semicondutoras em função do ganho de tensão. O valor desses esforços é normalizado em relação à tensão de entrada. Ainda, para topologias com duas chaves, este valor é representado pela soma das tensões máximas em ambas. Assim como no ganho de tensão, são apresentados os gráficos para dois valores de relação de transformação.

Observa-se que para $n = 2$, na Figura 55(b), o conversor proposto atinge uma menor tensão sobre a chave do que na Figura 55(a), onde $n = 1$. Ainda, a tensão máxima sobre a chave durante todo o intervalo é reduzida. Isso viabiliza o uso de semicondutores com pequena resistência interna, minimizando as perdas de condução.

Figura 55 – Comparação do esforço de tensão nas chaves semicondutoras

(a) $n = 1$

(b) $n = 2$

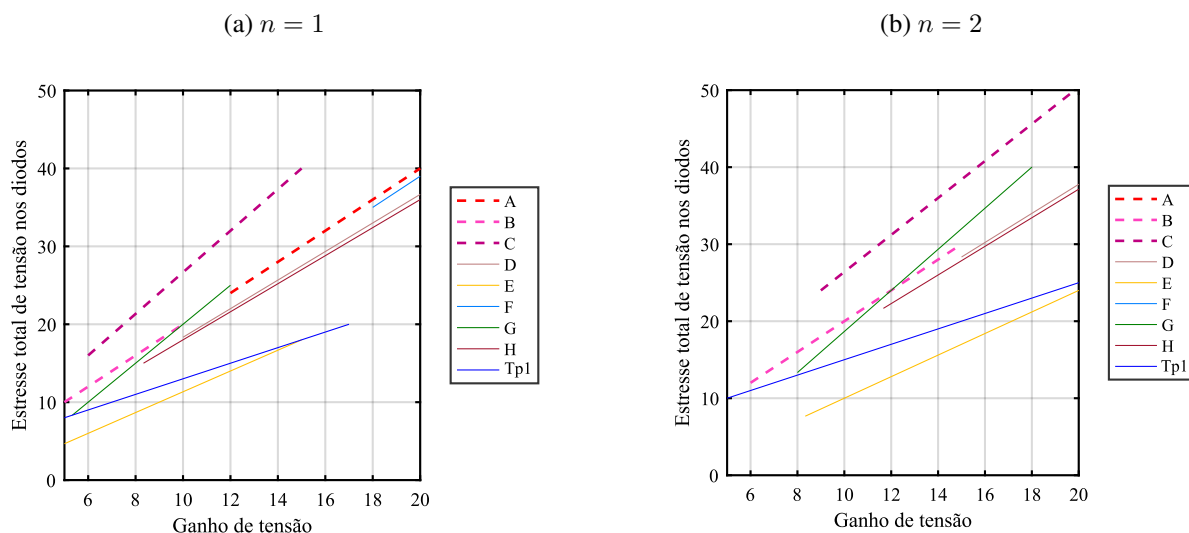


Fonte: A autora (2021).

O esforço de tensão nos diodos para valores distintos de relação de transformação é demonstrado na Figura 56. O valor representa a soma total dos estresse de tensão em todos os diodos normalizados pela tensão de entrada. Ao contrario do que ocorre na chave, ao aumentar a

relação de transformação, a tensão sobre os diodos é elevada. O conversor proposto tipo 1 produz pequeno esforço de tensão nesses componentes em relação às outras topologias, sendo apenas maior que a topologia desenvolvida por Farzin, Etemadi e Baghramian (2019).

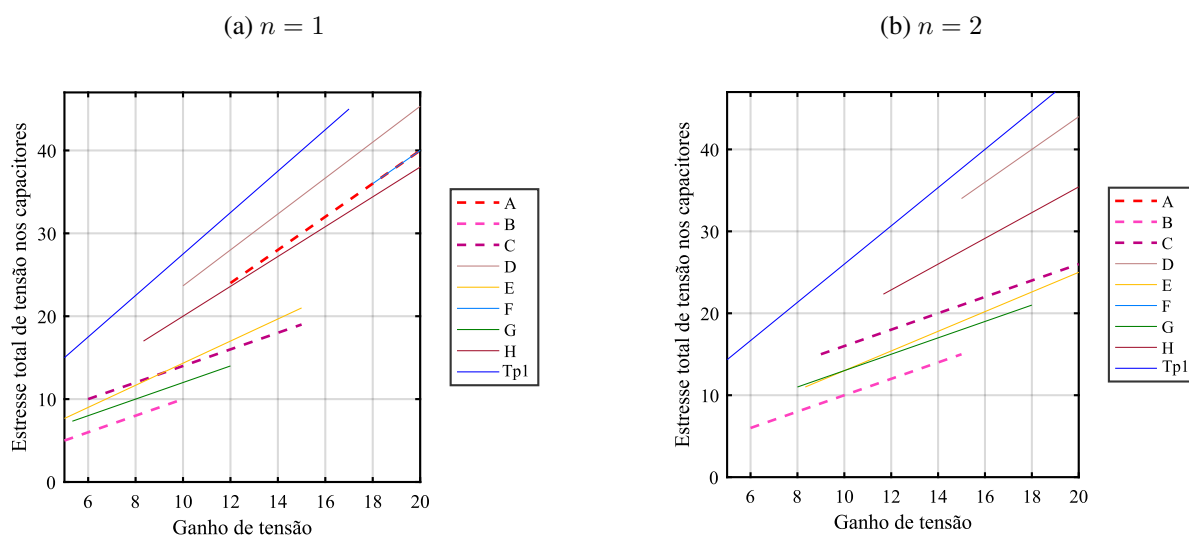
Figura 56 – Comparação do esforço de tensão nos diodos



Fonte: A autora (2021).

O esforço de tensão no capacitores é ilustrado na Figura 57. Assim como no esforço no diodos, foram ilustrados dois gráficos para relação de transformação $n = 1$, na Figura 57(a), e $n = 2$ na Figura 57(b). O valor total representa a soma das tensões sobre todos os elementos capacitivos. Os maiores valores são encontrados no conversor proposto tipo 1 e no conversor apresentado por Hu et al. (2018). A presença de um único capacitor em paralelo com a carga destas topologias eleva os esforços totais, uma vez que sua tensão é igual a tensão de saída.

Figura 57 – Comparação do esforço de tensão nos capacitores



Fonte: A autora (2021).

4.3 CONCLUSÃO

Com intuito de investigar a dissipação da potência nos componentes, foi desenvolvido o modelo das perdas. Esse foi descrito matematicamente em *scripts* do *software* MATLAB descritos no Apêndice C. A eficiência também foi calculada utilizando os dados obtidos na simulação. Dentre as topologias proposta o tipo 1 apresentou uma eficiência levemente maior. Conforme esperado, as perdas no fio de cobre do indutor acoplada são minimizadas pelo uso do fio *Litz* na fabricação deste componente.

Após comparação dos resultados, nota-se que as perdas de condução na chave são reduzidas em todas topologias propostas devido a baixa resistência interna do MOSFET. Observou-se também que as perdas nos capacitores representam as maiores divergências. Entretanto, quando compara-se a dissipação total de potência, os conversores propostos apresentam perdas similares nas mesmas condições de projeto.

Por fim, foi realizada uma análise comparativa entre o conversor proposto tipo 1 e os conversores similares encontrados na literatura recente. O número de componentes aplicado a cada topologia, assim como, ganho e esforços de tensão nos semicondutores e capacitores foram avaliados para dois valores de relação de transformação ($n = 1$ e $n = 2$).

Nota-se que os conversores propostos apresentam o menor número de componentes semicondutores e um número total reduzido em relação a maioria dos conversores estudados. Ainda, as topologias propostas obtêm o ganho de tensão intermediário em comparação aos demais. Percebe-se também que possuem esforços de tensão medianos nas chaves e o segundo menor esforço de tensão nos diodos. Portanto, as topologias propostas são competitivas.

5 RESULTADOS EXPERIMENTAIS

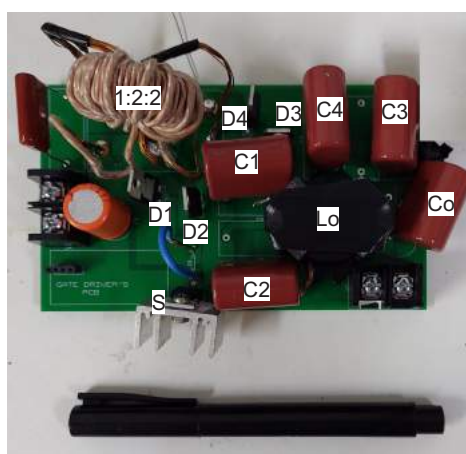
5.1 INTRODUÇÃO

Neste capítulo, o protótipo do conversor proposto tipo 1 montado é apresentado. Ainda, são descritos os resultados experimentais necessários para comprovar a análise teórica e o projeto.

5.2 DESCRIÇÃO DA MONTAGEM

O protótipo foi desenvolvido de forma universal, isto é, todos os conversores da família podem ser adaptados a ele. A modificação é realizada de acordo com a conexão dos capacitores. O conversor proposto tipo 1 foi escolhido para obtenção dos resultados experimentais. O protótipo montado em laboratório e suas especificações elétricas estão apresentados na Figura 58 e na Tabela 9, respectivamente. Os *datasheets* dos componentes semicondutores e do núcleo toroidal são apresentados nos Anexos A, B e C.

Figura 58 – Visão geral do protótipo



Fonte: A autora (2021).

5.3 PRINCIPAIS FORMAS DE ONDA

O protótipo foi ensaiado em malha aberta e sem controle para análise das principais formas de onda. Todas as figuras foram obtidas utilizando o osciloscópio Yokogawa DL850.

A Figura 59 ilustra o sinal de gatilho e as tensões de entrada e saída em meia carga. Observa-se que o ganho de tensão é aproximadamente 16. Conforme descrito pela Equação (3.58), o ciclo de trabalho não é elevado, igual a 0,72.

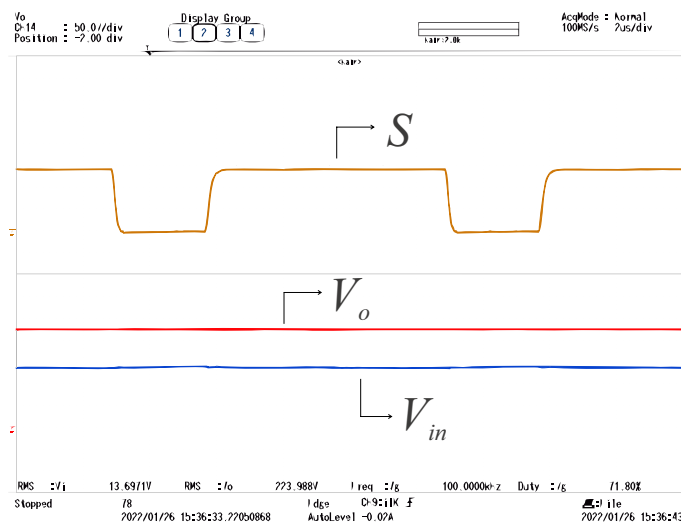
A tensão e corrente na chave semicondutora são mostradas na Figura 60. O valor teórico das correntes de pico e médio é de 10,83 A e 4,44 A, respectivamente. Já o valor medido pelo

Tabela 9 – Especificações elétricas do protótipo

Parâmetros	Valores
Potência nominal de entrada	140 W
Tensão de entrada	14,8 V
Tensão de saída	220 V
Frequência de chaveamento	100 kHz
C_1, C_2, C_3, C_4	10 μF / 250 V
C_o	5 μ / 400 V
L_o	100 μH / 500 V
Indutância de magnetização L_m	15 μH
Indutância de dispersão L_k	1,5 μ
Indutor acoplado	1:2:2, C055071A2
Indutância de saída L_o	100 μH
Chave semicondutora	IPP048N12N3, $R_{DS(on)} = 4,8 m\Omega$
Diodos D_1 e D_4	STTH1202, $V_{F(typ)} = 0,82 V$
Diodos D_2 e D_3	STTH802, $V_{F(typ)} = 0,8 V$

Fonte: A autora (2021).

Figura 59 – Janela superior: sinal de gatilho V_g (5 V/div); Janela inferior: tensão de saída V_o (50 V/div) e tensão de entrada V_{in} (5 V/div)



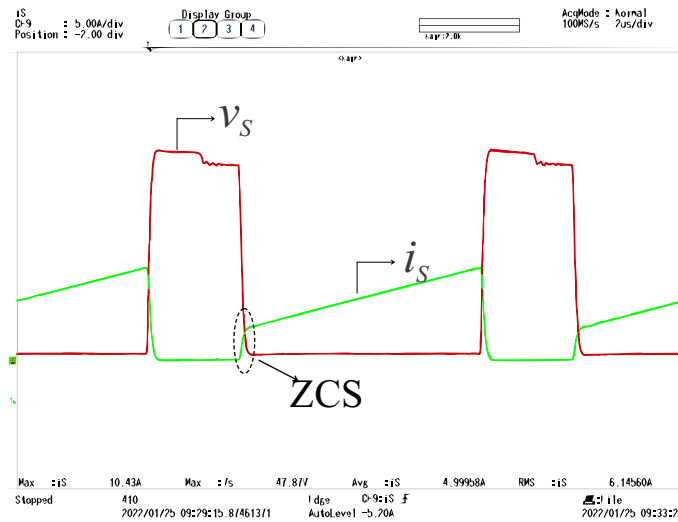
Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

osciloscópio é de 10,43 A e 4,99 A, validando as Equações (3.63) e (3.74). Deve ser notado que a chave é ligada com comutação de corrente nula.

Ademais, a tensão máxima neste componente é de aproximadamente 50 V, corroborando a Equação (3.84). Esse esforço de tensão representa menos que um quarto do valor da tensão de

saída. Por isso, as perdas por condução podem ser reduzidas com a utilização de MOSFET com baixa resistência interna. A queda de tensão na chave devido a indutância de dispersão ocorre na etapa 4, conforme visto na Figura 27. Este valor é definido por $V_{S,e4} = 42,5 \text{ V}$ na Equação (3.39).

Figura 60 – Tensão na chave V_S (10 V/div) e corrente na chave i_S (5 A/div)

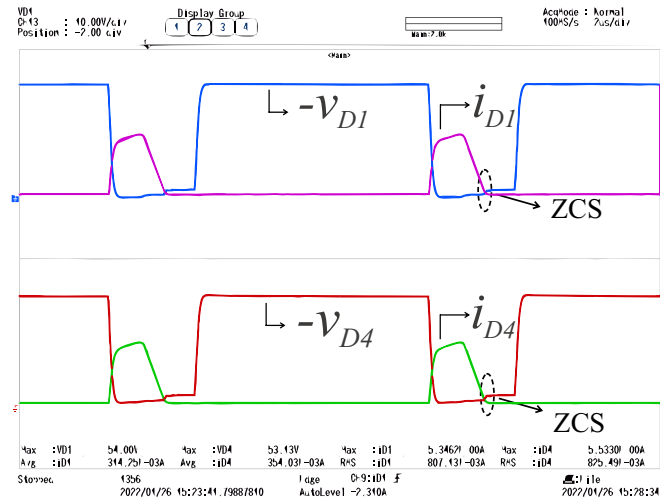


Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

A Figura 61 mostra a tensão e a corrente dos diodos de grampeamento D_1 e D_4 . As formas de onda estão em acordo com a Figura 27. A tensão máxima sobre estes componentes é de aproximadamente 50 V , conforme descrito na Equação (3.85). As correntes média e máxima possuem valor teórico igual a $0,32 \text{ A}$ e $4,92 \text{ A}$, na devida ordem. Já o valor medido é $0,35 \text{ A}$ e $5,4 \text{ A}$, desta forma, validam as Equações (3.61) e (3.75). Percebe-se que a corrente nos diodos é nula durante o bloqueio, isto é, os diodos operam com comutação de corrente zero ao desligar. Portanto, as perdas de recuperação reversas são eliminadas.

Ainda, assim como na chave semicondutora, os diodos D_1 e D_4 há uma mudança de patamar no valor da tensão referente a tensão no indutor de dispersão. Conforme visto na Figura 27, durante a etapa 4, este valor é definido como $V_{D1,4,e4} = -42,5 \text{ V}$ pela Equação (3.40).

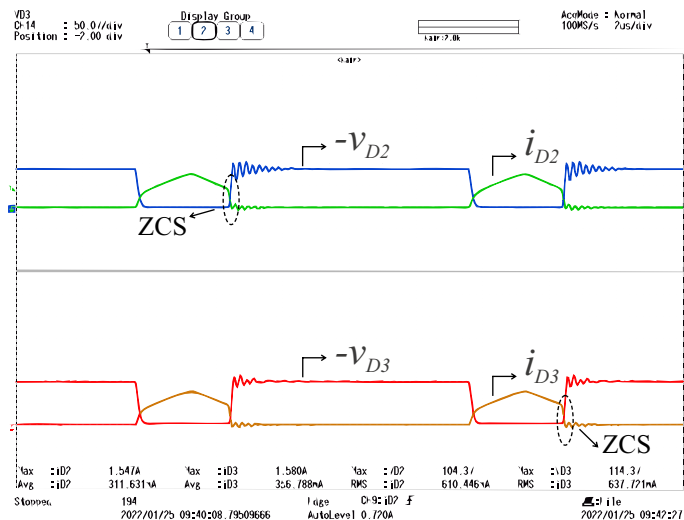
Figura 61 – Janela superior: tensão no diodo V_{D1} (10 V/div) e corrente no diodo i_{D1} (2 A/div); Janela inferior: tensão no diodo V_{D4} (10 V/div) e corrente no diodo i_{D4} (2 A/div)



Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

As formas de onda dos diodos das CMTs, D_2 e D_3 , são apresentadas na Figura 62. Conforme definido na Equação (3.86), a tensão máxima é de aproximadamente 106 V. Os esforços de corrente são definidos pelas Equações (3.61) e (3.83). Os valores calculados das correntes média e máxima são 0,32 A e 1,7 A, respectivamente, enquanto os valores medidos são 0,35 A e 1,6 A. Desta maneira, as Equações são confirmadas. Assim como os diodos de grampeamento, estes componentes são bloqueados com comutação de corrente zero. Portanto, as perdas de recuperação reversas também são canceladas.

Figura 62 – Janela superior: tensão no diodo V_{D2} (50 V/div) e corrente no diodo i_{D2} (1 A/div); Janela inferior: tensão no diodo V_{D3} (50 V/div) e corrente no diodo i_{D3} (1 A/div)

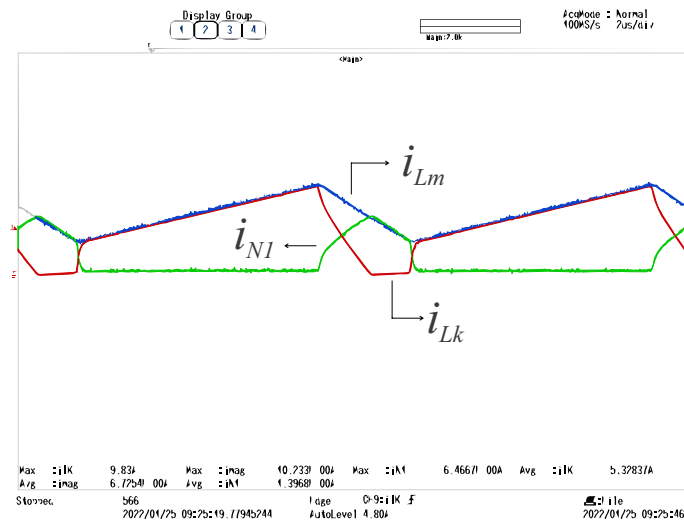


Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

As formas de onda das correntes no elemento magnético são definidas na Figura 63.

As correntes na indutância de magnetização, i_{L_m} , e no enrolamento primário, i_{N_1} , são obtidas utilizando a ferramenta *math* do osciloscópio. A indutância de magnetização se comporta de modo que o conversor opere em MCC, validando a Equação (3.151). Ainda, observa-se que a corrente na indutância de dispersão, i_{L_k} , é igual a i_{L_m} durante a etapa 2, descrita na Figura 25(b). Em concordância com a etapa 3, ilustrada na Figura 25(c), a corrente i_{N_1} ultrapassa o valor de i_{L_m} . Desta forma, i_{L_k} atinge um valor ligeiramente negativo igual a $-i_{L_o}$. Esta corrente se deve a descarga dos capacitores C_1 e C_4 e percorre a malha retornando à entrada, conforme ilustrado na Figura 25(d).

Figura 63 – Corrente no enrolamento primário i_{N_1} (5 A/div), corrente na indutância de dispersão i_{L_k} (5 A/div) e corrente na indutância de magnetização i_{L_m} (5 A/div)



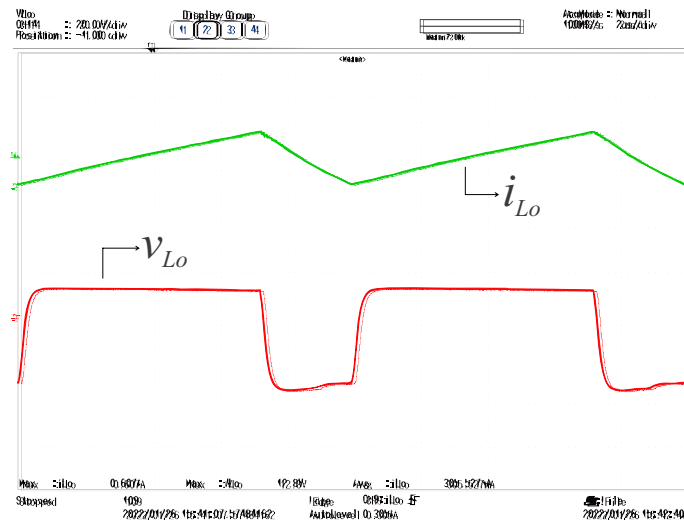
Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

As Equações (3.60), (3.68) e (3.66) definem as correntes médias no indutor acoplado. Esses valores são definidos por: $\bar{I}_{L_k} = 4,76 \text{ A}$, $\bar{I}_{L_m} = 6,04 \text{ A}$ e $\bar{I}_{N_1} = 1,28 \text{ A}$. Nota-se nas medições do osciloscópio corroboram, sendo $\bar{I}_{L_k} = 5,33 \text{ A}$, $\bar{I}_{L_m} = 6,72 \text{ A}$ e $\bar{I}_{N_1} = 1,39 \text{ A}$. Também são analisadas as correntes de pico apresentadas na Equações (3.71), (3.70) e (3.82). Os valores calculados dessa corrente na indutância de dispersão, na indutância de magnetização e no enrolamento primário são, respectivamente, $9,84 \text{ A}$, $9,84 \text{ A}$ e $6,8 \text{ A}$. Na Figura 63, observa-se que os valores medidos são $9,83 \text{ A}$, $10,23 \text{ A}$ e $6,47 \text{ A}$, nessa ordem. Assim, as Equações são validadas.

A Figura 64 ilustra as formas de onda do indutor de saída, L_o . Nota-se que durante $t = t_{on}$, a tensão neste componente é igual a tensão de entrada, conforme definido na Figura 26. A corrente média em L_o é igual a corrente de saída, tendo valor medido de $0,30 \text{ A}$. O esforço máximo de corrente é definido conforme Equação (3.69) cujo valor é $0,8 \text{ A}$. Nota-se o valor obtido de $0,61 \text{ A}$ corrobora com o estudo teórico.

Ainda, para validar os resultados experimentais obtidos também são apresentados em plena carga. As Figuras 65, 67, 68, 69 e 67 ilustram as principais formas de onda. Observa-se

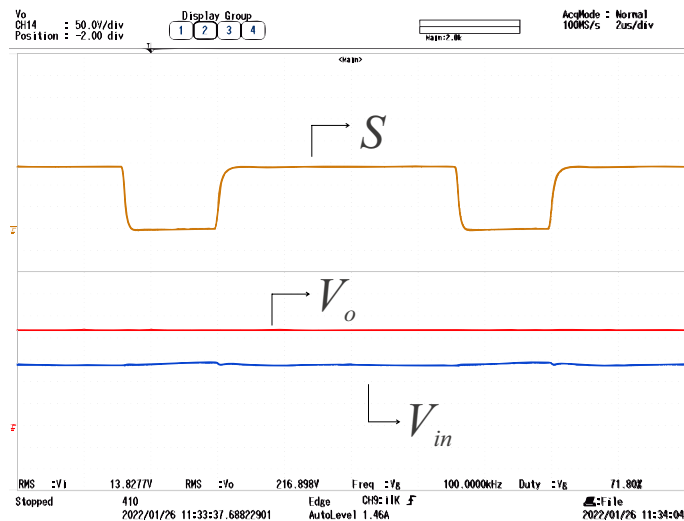
Figura 64 – Corrente na indutância de saída i_{L_o} (0,5 A/div) e tensão na indutância de saída V_{L_o} (20 V/div)



Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

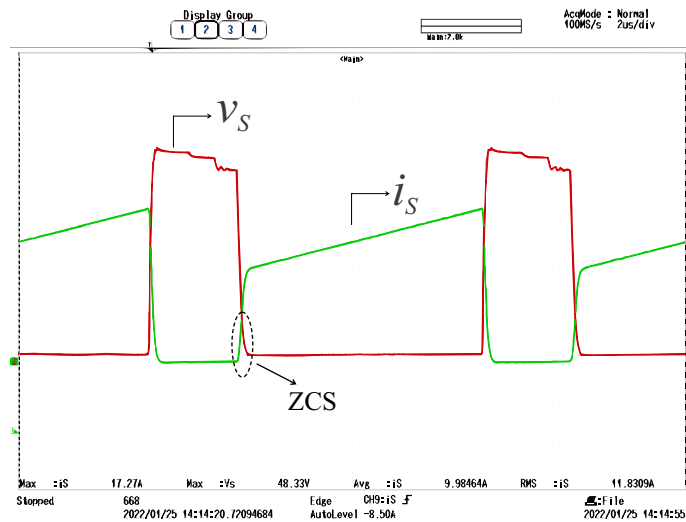
que as tensões nos componentes são iguais a em meia carga. Contudo, os valores das correntes sofre variação devido a potência. Assim, Equações definidas no capítulo 3 são corroboradas.

Figura 65 – Janela superior: sinal de gatilho V_g (5 V/div); Janela inferior: tensão de saída V_o (50 V/div) e tensão de entrada V_{in} (5 V/div)



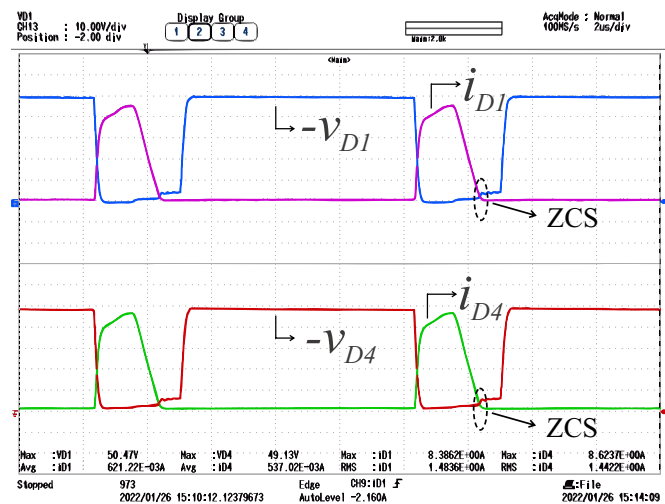
Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

Figura 66 – Tensão na chave V_S (10 V/div) e corrente na chave i_S (5 A/div)



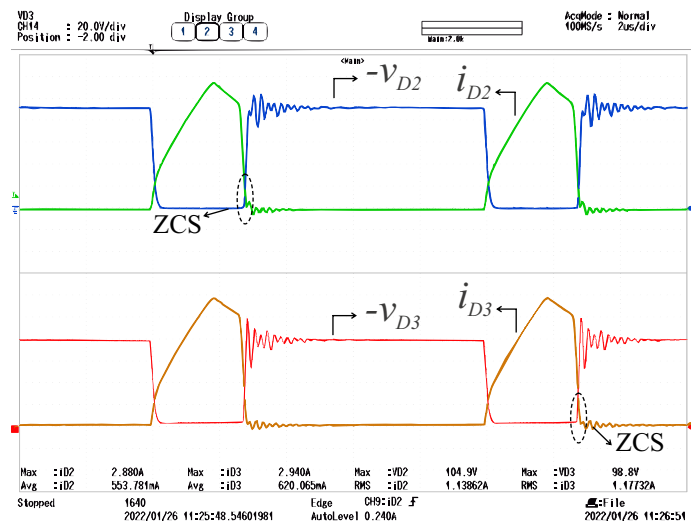
Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

Figura 67 – Janela superior: tensão no diodo V_{D1} (10 V/div) e corrente no diodo i_{D1} (2 A/div); Janela inferior: tensão no diodo V_{D4} (10 V/div) e corrente no diodo i_{D4} (2 A/div)



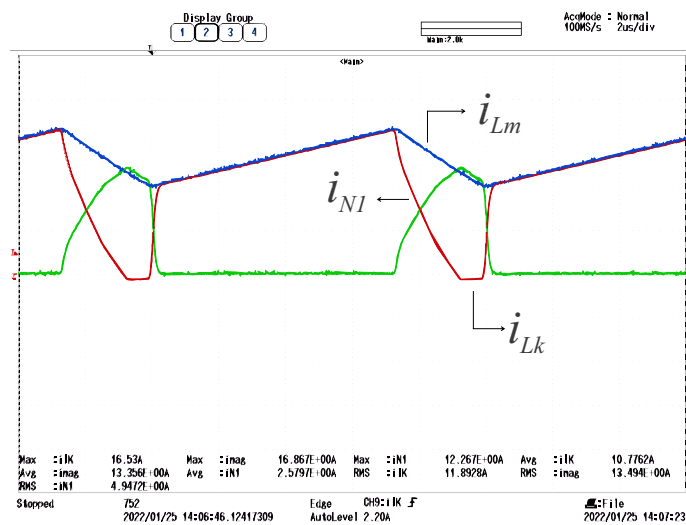
Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

Figura 68 – Janela superior: tensão no diodo V_{D2} (20 V/div) e corrente no diodo i_{D2} (0,5 A/div); Janela inferior: tensão no diodo V_{D3} (20 V/div) e corrente no diodo i_{D3} (0,5 A/div)



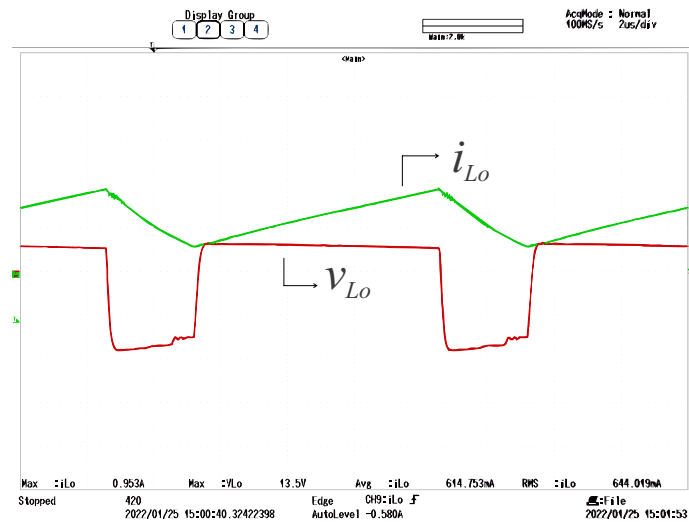
Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

Figura 69 – Corrente no enrolamento primário i_{N1} (5 A/div), corrente na indutância de dispersão i_{Lk} (5 A/div) e corrente na indutância de magnetização i_{Lm} (5 A/div)



Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

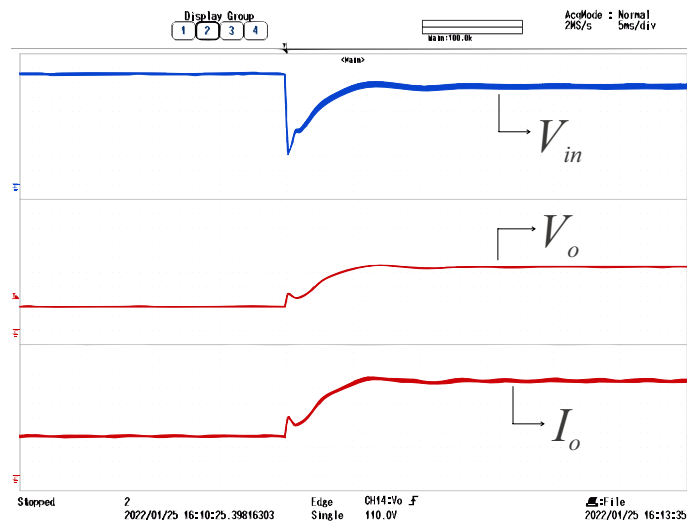
Figura 70 – Corrente na indutância de saída i_{L_o} (0,5 A/div) e tensão na indutância de saída V_{L_o} (20 V/div)



Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

A Figura 71 apresenta o transitório das tensões de entrada e saída, V_{in} e V_o , e corrente de saída, I_o . O ensaio foi realizado em carga plena com um degrau do ciclo de trabalho de 0,42 para 0,72. Nota-se que a resposta do conversor é de 10 ms.

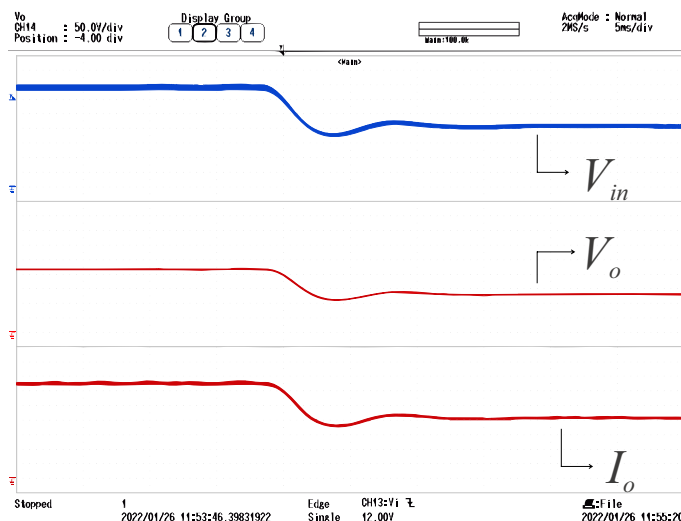
Figura 71 – Janela superior: tensão de entrada V_{in} (2 V/div); Janela do meio: tensão de saída V_o (50 V/div). Janela inferior: a corrente de saída I_o (100 mA/div)



Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

Também foi realizado um ensaio em carga plena com transitório simulando um sombreamento. Por este motivo, a tensão de saída foi variada no degrau de 14,8 V para 10 V. A Figura 72 apresenta as curvas de entrada e saída deste ensaio. Observa-se que a resposta também é de 10 ms.

Figura 72 – Janela superior: tensão de entrada V_{in} (2 V/div); Janela do meio: tensão de saída V_o (50 V/div). Janela inferior: a corrente de saída I_o (100 mA/div)

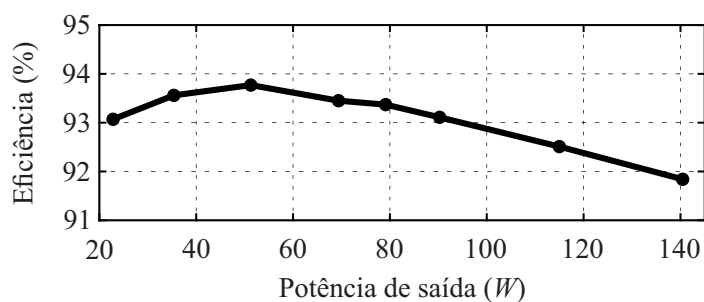


Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

5.4 EFICIÊNCIA

Para obtenção da eficiência do conversor proposto tipo 1, o analisador de potência Yokogawa WT1800 é utilizado. O primeiro ensaio é realizado com tensão de entrada e resistência de carga constantes, variando apenas o ciclo de trabalho. A Figura 73 ilustra esta curva de eficiência. A maior eficiência obtida é 93,77 % a 51,27 W. Já a eficiência em carga plena é de 91,84 % a 140 W.

Figura 73 – Ensaio de eficiência para ciclos de trabalho distintos

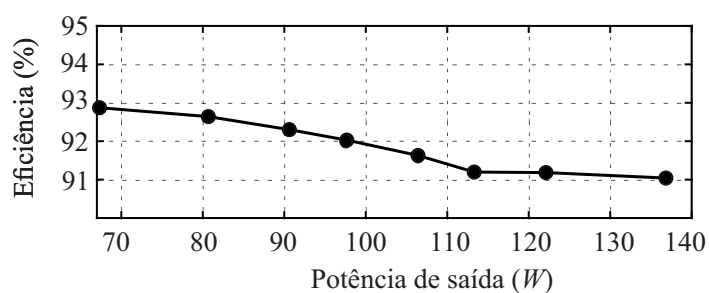


Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

O segundo ensaio é realizado com tensão de saída e ciclo de trabalho constantes, alterando a carga. A Figura 74 representa a curva da eficiência. A eficiência em carga plena neste ensaio é de 91,04 %, enquanto a maior eficiência é de 92,87 % a 67 W.

Nota-se uma diferença entre a eficiência obtida no ensaio experimental e a calculada no Capítulo 4. Essa discordância é justificada pela execução dos indutores. Esses elementos possuem perdas maiores que as calculadas, ocasionando numa eficiência experimental inferior.

Figura 74 – Ensaio de eficiência para variação de carga



Fonte: Formas de onda obtidas do ensaio em malha aberta e sem controle.

5.5 CONCLUSÃO

Os resultados experimentais estão em concordância com as formas de onda das simulações, ilustradas na Figura 49. Todos os diodos operam em ZCS conforme mostrado nas Figuras 61, 62, 67 e 68. Esta fato elimina as perdas por recuperação reversa.

Devido ao baixo estresse de tensão sobre a chave semicondutora, ilustrado nas Figuras 60 e 66, as perdas por condução podem ser reduzidas com utilização de MOSFET com pequena resistência interna. Ainda, a chave é ligada com comutação em corrente nula, reduzindo as perdas por chaveamento.

A topologia apresenta alto ganho de tensão, comprovando a viabilidade para aplicações nos sistemas fotovoltaicos. Ainda, as equações desenvolvidas no Capítulo 3 são comprovadas. Assim, a análise teórica, o projeto e o desempenho do conversor proposto são validados.

6 CONCLUSÃO E TRABALHOS FUTUROS

O trabalho descrito nesta tese visou apresentar uma nova família de conversores de alto ganho com chave única a ser aplicada na área de sistemas fotovoltaicos com microinversores e otimizadores de potência. Os conversores propostos apresentam alto ganho através do indutor acoplado de três enrolamentos e de CMTs. Os esforços nos elementos semicondutores são reduzidos, permitindo o uso de MOSFET com pequena resistência interna. Ainda, os diodos operam em ZCS no bloqueio, minimizando as perdas por recuperação reversa.

Os conversores de alto ganho com chave única foram desenvolvidos a partir da modificação na posição dos capacitores de grampeamento e das células multiplicadoras de tensão. As etapas de operação durante o modo de condução contínua foram apresentadas, assim como, as expressões da tensão e corrente sobre os principais componentes do circuito e ganho em regime permanente. Essa descrição detalhada é essencial para uma melhor compreensão acerca da topologia e para o desenvolvimento de modelos matemáticos. Os projetos dos elementos magnéticos e capacitivos foram definidos de acordo com os requisitos da seção 3.3. Através da simulação no *software* MATLAB/Simulink, o comportamento dos conversores é corroborado conforme as equações desenvolvidas.

Ao comparar as três topologias, percebeu-se que apesar de apresentarem etapas de operação e ganho de tensão semelhantes, o comportamento da tensão e da corrente nos capacitores diferem entre si. O modelo de perdas também foi apresentado para melhorar o estudo comparativo. Apesar da potência dissipada pelos capacitores ser distinta, as perdas totais da topologias propostas foram similares. Destaca-se também a redução das perdas por condução na chave, devido ao emprego de MOSFET com baixa resistência interna. Ainda, o uso de fio *Litz* na fabricação do indutor acoplado minimizou as perdas no cobre.

Com propósito de consolidar a análise, o conversor proposto tipo 1 foi comparado com topologias similares encontradas na literatura recente. As principais características como número de componentes, ganho de tensão e esforços de tensão no semicondutores foram apresentadas. Observou-se que as topologias propostas possuem esforços de tensão reduzidos nos semicondutores e alto ganho para ciclo de trabalho intermediário e baixa relação de transformação. Assim, são competitivos com conversores estudados e uma solução promissora para aplicações em sistemas fotovoltaicos.

Por fim, a montagem de um protótipo do conversor proposto tipo 1 com 140 W foi realizada. As tensões de entrada e de saída foram definidas como 14,8 V e 220 V, respectivamente. Os resultados experimentais obtidos comprovam o estudo teórico e o projeto do conversor. Nota-se que todos os diodos são bloqueados em ZCS, eliminando as perdas de recuperação reversa. Ainda, a chave semicondutora opera com ZCS ao ligar, reduzindo as perdas por chaveamento. O estresse de tensão na chave é pequeno quando relacionado a tensão de saída. Desta forma, pode-se utilizar MOSFET com resistência interna pequena, minimizando as perdas por condução

neste componente. Foram descritos dois ensaios de eficiência. O primeiro foi realizado com tensão de saída e potência constantes, variando apenas o ciclo de trabalho. A maior eficiência obtida é 93,77 % a 51,27 W, enquanto a eficiência com potência nominal é de 91,84 %. O segundo foi com tensão de saída e ciclo de trabalho constantes, alterando a carga. A eficiência em carga plena neste ensaio é de 91,04 %. Enquanto a maior eficiência é de 92,87 % a 67 W.

6.1 TRABALHOS FUTUROS

No decorrer desta Tese de Doutorado foi possível estabelecer alguns tópicos que ainda poderiam ser investigados:

- Realizar a montagem de protótipos para os conversores tipo 2 e tipo 3 a fim de comparar seus desempenhos;
- Desenvolver o modelo matemático em espaço de estado para analisar comportamento dinâmico do conversor tipo 1 aproveitando da simetria das CMTs.

6.2 PUBLICAÇÕES

As seguintes publicações associadas ao tema desta Tese de Doutorado foram realizadas até o momento:

- Periódicos:
 - PEREIRA, A.V.C. et al. "A Novel Single-Switch High Step-Up DC–DC Converter with Three-Winding Coupled Inductor". *Energies* 2021, 14, 6288. Disponível em: <https://doi.org/10.3390/en14196288>
- Eventos:
 - PEREIRA, A.V.C.; CAVALCANTI, M.C.; AZEVEDO, G.M.S.; BRADASCHIA, F.; CARVALHO, M.R. "A Novel Family of Single Switch High Step-Up DC/DC Converters for PV applications". *IEEE 16th Brazilian Power Electronics Conference (COBEP)*, 2021.

REFERÊNCIAS

- AL-SAFFAR, M.; ISMAIL, E. A high voltage ratio and low stress dc–dc converter with reduced input current ripple for fuel cell source. *Renewable Energy*, v. 82, p. 35 – 43, 2015. International Conference on Renewable Energy: Generation and Applications (ICREGA 2014). Citado na página 44.
- AMIR, A. et al. Comparative analysis of high voltage gain dc-dc converter topologies for photovoltaic systems. *Renewable Energy*, 2018. Citado 4 vezes nas páginas 30, 31, 32 e 47.
- AMIRBANDE, M. et al. A novel single switch high gain dc-dc converter employing coupled inductor and diode capacitor. In: *2016 7th Power Electronics and Drive Systems Technologies Conference (PEDSTC)*. [S.l.: s.n.], 2016. p. 159–164. Citado 3 vezes nas páginas 43, 48 e 49.
- ANEEL. *RESOLUÇÃO N° 482*. [S.l.], 2012. Disponível em: <<http://www2.aneel.gov.br/cedoc/ren2012482.pdf>>. Acesso em: 3 dez. 2019. Citado na página 24.
- ANURAG, M. B. et al. Design of zvs based high gain dc-dc converter for pv applications. In: *2016 IEEE International Conference on Renewable Energy Research and Applications (ICRERA)*. [S.l.: s.n.], 2016. p. 584–589. Citado 2 vezes nas páginas 39 e 40.
- AZIZKANDI, M. E. et al. A high voltage gain dc–dc converter based on three winding coupled inductor and voltage multiplier cell. *IEEE Transactions on Power Electronics*, v. 35, n. 5, p. 4558–4567, 2020. Citado 4 vezes nas páginas 53, 118, 120 e 121.
- BADDIPADIGA, B. P.; FERDOWSI, M. A high-voltage-gain dc-dc converter based on modified dickson charge pump voltage multiplier. *IEEE Transactions on Power Electronics*, v. 32, n. 10, p. 7707–7715, Oct 2017. Citado 3 vezes nas páginas 8, 42 e 43.
- BALIGA, B. *Fundamentals of Power Semiconductor Devices*. [S.l.]: Springer US, 2010. Citado 2 vezes nas páginas 147 e 149.
- BATARSEH, I.; HARB, A. *Power Electronics: Circuit Analysis and Design*. Second. [S.l.]: Springer, 2018. Citado na página 32.
- BP. *Statistical Review of World Energy 2019*. [S.l.], 2019. Disponível em: <<https://www.bp.com/content/dam/bp/business-sites/en/global/corporate/pdfs/energy-economics/statistical-review/bp-stats-review-2019-full-report.pdf>>. Acesso em: 3 dez. 2019. Citado 2 vezes nas páginas 22 e 23.
- BROCKVELD, S. L.; WALTRICH, G. Boost–flyback converter with interleaved input current and output voltage series connection. *IET Power Electronics*, v. 11, n. 8, p. 1463–1471, 2018. Citado 2 vezes nas páginas 39 e 57.
- CABRAL, J. B. R. F.; OLIVEIRA, S. V. G.; NOVAES, Y. R. de. Conversor c.c. - c.c. boost quadrático para aplicação em fontes alternativas. *Sobraep*, 2013. Citado na página 32.
- CAI, Y. et al. Analysis and design of a high efficiency high step-up gain dc-dc converter. In: *2014 International Power Electronics and Application Conference and Exposition*. [S.l.: s.n.], 2014. p. 6–10. Citado na página 47.

CARDOSO, V.; LAZZARIN, T. B.; WALTRICH, G. Conversor duplo-boost-flyback de alto ganho. *Revista Eletrônica De Potência*, v. 23, n. 3, p. 382–391, 2018. Citado 5 vezes nas páginas 37, 38, 40, 57 e 58.

CHEN, S. et al. Interleaved high step-up dc-dc converter with parallel-input series-output configuration and voltage multiplier module. In: *2017 IEEE International Conference on Industrial Technology (ICIT)*. [S.l.: s.n.], 2017. p. 119–124. Citado 2 vezes nas páginas 38 e 43.

CHEN, S.-J. et al. Interleaved high step-up dc–dc converter with voltage-lift and voltage-stack techniques for photovoltaic systems. *Energies*, v. 13, n. 10, 2020. Citado 5 vezes nas páginas 51, 118, 119, 121 e 123.

CHEN, Y.; CHEN, C.; SHAO, Z. A dc-dc boost converter with high voltage gain for distributed generation. In: *2016 IEEE 5th Global Conference on Consumer Electronics*. [S.l.: s.n.], 2016. p. 1–2. Citado na página 46.

CHITRANSH, V.; VEERACHARY, M. A high-gain modular multilevel dc-dc step-up converter. In: *2016 IEEE Uttar Pradesh Section International Conference on Electrical, Computer and Electronics Engineering (UPCON)*. [S.l.: s.n.], 2016. p. 438–443. Citado 2 vezes nas páginas 39 e 40.

CHOI, S. et al. Analysis, design and experimental results of a floating-output interleaved-input boost-derived dc-dc high-gain transformer-less converter. *IET Power Electronics*, v. 4, n. 1, p. 168–180, January 2011. Citado 3 vezes nas páginas 35, 36 e 38.

EPE. *PNE 2050*: Plano nacional de energia 2050. [S.l.], 2018. Disponível em: <<http://www.epe.gov.br/pt/publicacoes-dados-abertos/publicacoes/Plano-Nacional-de-Energia-2050>>. Acesso em: 3 dez. 2019. Citado 2 vezes nas páginas 22 e 23.

FARZIN, A.; ETEMADI, M.; BAGHRAMIAN, A. A new high-step-up dc-dc converter using three-windings transformer and soft-switching for use in photovoltaic systems. In: *2019 10th International Power Electronics, Drive Systems and Technologies Conference (PEDSTC)*. [S.l.: s.n.], 2019. p. 207–212. Citado 6 vezes nas páginas 54, 118, 120, 121, 123 e 124.

FENG, M. et al. Non-isolated dc-dc converter with high voltage gain. In: *2016 IEEE Innovative Smart Grid Technologies - Asia (ISGT-Asia)*. [S.l.: s.n.], 2016. p. 730–734. Citado na página 46.

FOROUZESH, M. et al. Step-up dc–dc converters: A comprehensive review of voltage-boosting techniques, topologies, and applications. *IEEE Transactions on Power Electronics*, v. 32, n. 12, p. 9143–9178, Dec 2017. Citado 11 vezes nas páginas 30, 31, 32, 35, 39, 41, 44, 45, 46, 47 e 55.

GALDINO, M.; PINHO, J. *Manual de Engenharia para Sistemas Fotovoltaicos*. [s.n.], 2014. Disponível em: <http://www.cresesb.cepel.br/publicacoes/download/Manual_de_Engenharia_FV_2014.pdf>. Acesso em: 3 dez. 2019. Citado 2 vezes nas páginas 24 e 25.

GARCIA-VITE, P. M. et al. A dc–dc converter with quadratic gain and input current ripple cancelation at a selectable duty cycle. *Renewable Energy*, v. 101, p. 431 – 436, 2017. Citado 2 vezes nas páginas 33 e 34.

GLITZ, E. S. et al. Llc converters: Beyond datasheets for mosfet power loss estimation. In: *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.: s.n.], 2018. p. 464–468. Citado na página 114.

GRANT, D.; GOWAR, J. *Power MOSFETS: theory and applications*. [S.l.]: Wiley, 1989. (Wiley Interscience publication). Citado 4 vezes nas páginas 114, 147, 148 e 149.

GRAOVAC, D.; PURSCHEL, M.; KIEP, A. *MOSFET power losses calculation using the data-sheet parameters*. [S.l.], 2006. v. 1. Disponível em: <<http://application-notes.digchip.com/070/70-41484.pdf>>. Acesso em: 3 dez. 2019. Citado na página 147.

GRUNER, V. F. et al. Conversor cc-cc de alto ganho com compartilhamento da corrente de entrada, modulação phase-shift e compactação do filtro de saída. *Revista Eletrônica De Potência*, v. 23, n. 2, apr 2018. Citado na página 47.

HASSAN, W.; LU, D.; XIAO, W. Optimal analysis and design of dc-dc converter to achieve high voltage conversion gain and high efficiency for renewable energy systems. In: *2018 IEEE 27th International Symposium on Industrial Electronics (ISIE)*. [S.l.: s.n.], 2018. p. 439–444. Citado 3 vezes nas páginas 48, 49 e 50.

HATSUYADO, H.; HOSHI, N. A high boost ratio dc-dc converter for low voltage fuel cell. In: *2014 International Conference on Renewable Energy Research and Application (ICRERA)*. [S.l.: s.n.], 2014. p. 674–679. Citado 4 vezes nas páginas 37, 38, 57 e 58.

HU, X.; GONG, C. A high voltage gain dc–dc converter integrating coupled-inductor and diode–capacitor techniques. *IEEE Transactions on Power Electronics*, v. 29, n. 2, p. 789–800, Feb 2014. Citado 3 vezes nas páginas 33, 34 e 47.

HU, X. et al. Input-parallel output-series dc–dc converter for non-isolated high step-up applications. *Electronics Letters*, v. 52, n. 20, p. 1715–1717, 2016. Citado 3 vezes nas páginas 45, 49 e 50.

HU, X. et al. A three-winding coupled-inductor dc–dc converter topology with high voltage gain and reduced switch stress. *IEEE Transactions on Power Electronics*, v. 33, n. 2, p. 1453–1462, Feb 2018. Citado 9 vezes nas páginas 45, 46, 50, 51, 53, 58, 118, 121 e 124.

HURLEY, W.; WÖLFLE, W. *Transformers and Inductors for Power Electronics: Theory, Design and Applications*. [S.l.]: Wiley, 2013. (Ingenieria electrica). ISBN 9781119950578. Citado na página 145.

JIE, Y. et al. A single switch based integrated dc-dc converter with high step-up gain. In: *2016 14th International Conference on Control, Automation, Robotics and Vision (ICARCV)*. [S.l.: s.n.], 2016. p. 1–5. Citado 2 vezes nas páginas 33 e 34.

KAVITHA, M.; SIVACHIDAMBARANATHAN, V. Pv based high voltage gain quadratic dc-dc converter integrated with coupled inductor. In: *2016 International Conference on Computation of Power, Energy Information and Commuincation (ICCPEIC)*. [S.l.: s.n.], 2016. p. 607–612. Citado 3 vezes nas páginas 33, 34 e 47.

KIANPOUR, A.; SHAHGHOLIAN, G. A floating-output interleaved boost dc–dc converter with high step-up gain. *Automatika*, v. 58, p. 18–26, 01 2017. Citado 4 vezes nas páginas 37, 38, 57 e 58.

LI, K. et al. A switched-capacitor based high conversion ratio converter for renewable energy applications: Principle and generation. In: *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2017. p. 3440–3556. Citado 3 vezes nas páginas 8, 43 e 44.

- LI, W.; HE, X. Review of nonisolated high-step-up dc/dc converters in photovoltaic grid-connected applications. *IEEE Transactions on Industrial Electronics*, v. 58, n. 4, p. 1239–1250, April 2011. Citado 4 vezes nas páginas 30, 31, 32 e 41.
- LIU, H. et al. Overview of high-step-up coupled-inductor boost converters. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 4, n. 2, p. 689–704, 2016. Citado na página 30.
- LU, D. D.; AGELIDIS, V. G. Photovoltaic-battery-powered dc bus system for common portable electronic devices. *IEEE Transactions on Power Electronics*, v. 24, n. 3, p. 849–855, March 2009. Citado na página 50.
- MAGNETICS. *MAGNETIC POWDER CORES*. 2020. Disponível em: <<https://www.mag-inc.com/>>. Acesso em: 2 out. 2021. Citado 2 vezes nas páginas 116 e 145.
- MARKS, N. D.; SUMMERS, T. J.; BETZ, R. E. Photovoltaic power systems: A review of topologies, converters and controls. In: *2012 22nd Australasian Universities Power Engineering Conference (AUPEC)*. [S.l.: s.n.], 2012. p. 1–6. Citado na página 25.
- NABATI, Y.; BABAEI, E. A new dc-dc converter with high voltage gain and low voltage stress on power switches. In: *2015 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles (ESARS)*. [S.l.: s.n.], 2015. p. 1–6. Citado na página 46.
- NOVAES, Y. R. de; RUFER, A.; BARBI, I. A new quadratic, three-level, dc/dc converter suitable for fuel cell applications. In: *2007 Power Conversion Conference - Nagoya*. [S.l.: s.n.], 2007. p. 601–607. Citado 2 vezes nas páginas 32 e 33.
- PAN, C.; CHUANG, C.; CHU, C. A novel transformer-less adaptable voltage quadrupler dc converter with low switch voltage stress. *IEEE Transactions on Power Electronics*, v. 29, n. 9, p. 4787–4796, Sep. 2014. Citado 3 vezes nas páginas 35, 36 e 38.
- PAULA, A. N. de et al. An extensive review of nonisolated dc-dc boost-based converters. In: *2014 11th IEEE/IAS International Conference on Industry Applications*. [S.l.: s.n.], 2014. p. 1–8. Citado 5 vezes nas páginas 30, 31, 32, 35 e 47.
- PEREIRA, A. V. C. et al. A novel single-switch high step-up dc-dc converter with three-winding coupled inductor. *Energies*, v. 14, n. 19, 2021. Citado na página 26.
- PEREIRA, F.; MARTINS, A.; CARVALHO, A. Design of a dc-dc converter with high voltage gain for photovoltaic-based microgeneration. In: *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*. [S.l.: s.n.], 2014. p. 1404–1409. Citado 7 vezes nas páginas 50, 51, 53, 118, 119, 121 e 123.
- PEREIRA JUNIOR, A. R. A. *Desenvolvimento de um modelo de inversores de potência para a condição de operação em sobrecarga*. Dissertação (Mestrado) — Universidade Federal de Pernambuco, 2019. Citado na página 99.
- POOVARASAN, P.; SARASWATHI, M.; NANDHINI, R. Analysis of high voltage gain dc-dc boost converter for renewable energy applications. In: *2015 International Conference on Computation of Power, Energy, Information and Communication (ICCPEIC)*. [S.l.: s.n.], 2015. p. 0320–0324. Citado 2 vezes nas páginas 43 e 44.

RASHID, M. et al. *Power Electronics Handbook: Devices, Circuits and Applications*. [S.l.]: Elsevier Science, 2010. (Engineering). Citado na página 114.

SALEHI, S. M.; DEHGHAN, S. M.; HASANZADEH, S. Interleaved-input series-output ultra high voltage gain dc-dc converter. *IEEE Transactions on Power Electronics*, p. 1–1, 2018. Citado 2 vezes nas páginas 52 e 53.

SALVADOR, M. A. et al. Conversor cc-cc de alto ganho obtido pela combinação entre redes de indutor e de capacitor chaveados. *Revista Eletrônica De Potência*, v. 23, n. 2, p. 161 – 170, apr 2018. Citado 4 vezes nas páginas 41, 43, 44 e 46.

SAMADIAN, A.; HOSSEINI, S. H.; SABAHI, M. A new three-winding coupled inductor nonisolated quasi-z-source high step-up dc–dc converter. *IEEE Transactions on Power Electronics*, v. 36, n. 10, p. 11523–11531, 2021. Citado 6 vezes nas páginas 54, 118, 120, 121, 122 e 123.

SAVAKHANDE, V. B.; BHATTAR, C. L.; BHATTAR, P. L. Voltage-lift dc-dc converters for photovoltaic application-a review. In: *2017 International Conference on Data Management, Analytics and Innovation (ICDMAI)*. [S.l.: s.n.], 2017. p. 172–176. Citado 5 vezes nas páginas 30, 35, 39, 46 e 47.

SCHMITZ, L. *Conversores cc-cc não-isolados de alto ganho e de alto rendimento destinados a aplicações fotovoltaicas e baseados no conversor boost com células de ganho*. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, 2015. Disponível em: <<https://repositorio.ufsc.br/xmlui/handle/123456789/158773>>. Acesso em: 3 dez. 2019. Citado 3 vezes nas páginas 25, 27 e 57.

SCHMITZ, L.; COELHO, R. F.; MARTINS, D. C. Conversor cc-cc de alto ganho e com compartilhamento da corrente de entrada empregado em células a combustível. v. 21, n. 4, 2015. Citado na página 47.

SCHMITZ, L.; MARTINS, D. C.; COELHO, R. F. Generalized high step-up dc-dc boost-based converter with gain cell. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 64, n. 2, p. 480–493, Feb 2017. Citado na página 41.

SILVA, J. L. de S. et al. Study of power optimizers for grid-connected photovoltaic systems. In: . [S.l.: s.n.], 2019. v. 17, n. 01, p. 127–134. Citado na página 21.

SRIVASTAVA, A.; PRABHAKAR, M. High gain hybrid dc-dc converter. In: *2014 IEEE 2nd International Conference on Electrical Energy Systems (ICEES)*. [S.l.: s.n.], 2014. p. 218–222. Citado 2 vezes nas páginas 49 e 50.

SWAMI, B. S.; JAIN, S. High gain efficient dc-dc converter for low-voltage power generation application. In: *2016 IEEE Students' Conference on Electrical, Electronics and Computer Science (SCEECS)*. [S.l.: s.n.], 2016. p. 1–5. Citado na página 47.

SYPE, D. Van de et al. A single switch buck-boost converter with a high conversion ratio. In: *2005 European Conference on Power Electronics and Applications*. [S.l.: s.n.], 2005. p. 10 pp.–P.10. Citado na página 57.

TANG, Y. et al. Hybrid switched-inductor converters for high step-up conversion. *IEEE Transactions on Industrial Electronics*, v. 62, n. 3, p. 1480–1490, March 2015. Citado na página 46.

TOFOLI, F. L. et al. Survey on non-isolated high-voltage step-up dc–dc topologies based on the boost converter. *IET Power Electronics*, v. 8, n. 10, p. 2044–2057, 2015. Citado 5 vezes nas páginas 30, 31, 32, 35 e 41.

TSAO, P. Simulation of pv systems with power optimizers and distributed power electronics. In: *2010 35th IEEE Photovoltaic Specialists Conference*. [S.l.: s.n.], 2010. p. 000389–000393. Citado na página 21.

TSENG, K. et al. High step-up interleaved forward-flyback boost converter with three-winding coupled inductors. *IEEE Transactions on Power Electronics*, v. 30, n. 9, p. 4696–4703, Sep. 2015. Citado 5 vezes nas páginas 53, 118, 119, 121 e 123.

TSENG, K.; LIN, J.; HUANG, C. High step-up converter with three-winding coupled inductor for fuel cell energy source applications. *IEEE Transactions on Power Electronics*, v. 30, n. 2, p. 574–581, Feb 2015. Citado 5 vezes nas páginas 52, 53, 118, 121 e 123.

TSENG, K. C.; LIANG, T. J. Novel high-efficiency step-up converter. *IEE Proceedings - Electric Power Applications*, v. 151, n. 2, p. 182–190, March 2004. Citado na página 57.

WANG, P. et al. Input-parallel output-series dc-dc boost converter with a wide input voltage range, for fuel cell vehicles. *IEEE Transactions on Vehicular Technology*, v. 66, n. 9, p. 7771–7781, Sep. 2017. Citado 3 vezes nas páginas 35, 36 e 38.

XIONG, Y. et al. New physical insights on power mosfet switching losses. *IEEE Transactions on Power Electronics*, v. 24, n. 2, p. 525–531, Feb 2009. Citado 2 vezes nas páginas 147 e 149.

YARI, K.; FOROUZESH, M.; BAGHRAMIAN, A. A novel high voltage gain dc-dc converter with reduced components voltage stress. In: *The 6th Power Electronics, Drive Systems Technologies Conference (PEDSTC2015)*. [S.l.: s.n.], 2015. p. 173–177. Citado 3 vezes nas páginas 43, 49 e 50.

ZHANG, Y. et al. Modeling and controller design of high voltage gain dc-dc converter with multi-cell diode-capacitor network. In: *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*. [S.l.: s.n.], 2016. p. 3066–3072. Citado 2 vezes nas páginas 41 e 46.

ZHAO, Q.; LEE, F. C. High-efficiency, high step-up dc-dc converters. *IEEE Transactions on Power Electronics*, v. 18, n. 1, p. 65–73, 2003. Citado na página 57.

ZHAO, Q. et al. Active-clamp dc/dc converters using magnetic switches. In: *APEC 2001. Sixteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.01CH37181)*. [S.l.: s.n.], 2001. v. 2, p. 946–952 vol.2. Citado na página 57.

APÊNDICE A – PROJETO DO INDUTOR ACOPLADO

O projeto do indutor acoplado é baseado no valor da indutância de magnetização e na corrente neste componente. A partir de gráfico no catálogo do fabricante, é possível escolher o núcleo adequado para aplicação. Desta forma, foi definido o núcleo C055071A2, cujo *datasheet* é apresentado no Anexo C (MAGNETICS, 2020).

O número de voltas nos enrolamentos foi determinado conforme descrito por Hurley e Wölflé (2013). O projeto dos enrolamentos é definido pela quantidade de voltas do condutor e tamanho do entreferro. O número de espiras do enrolamento primário é determinado por:

$$N_1 = \sqrt{\frac{L_m}{A_l}} \approx 16. \quad (\text{A.1})$$

O número de espiras dos enrolamentos secundários e terciário é definido pela relação de transformação.

$$N_2 = N_3 = nN_1 = 32. \quad (\text{A.2})$$

O comprimento do entreferro é dado por:

$$g_{máx} = \frac{l_c}{\mu_{o_{mín}}}, \quad (\text{A.3})$$

onde $\mu_{o_{mín}}$ é o valor ótimo da permeabilidade efetiva do núcleo. E l_c é comprimento médio do caminho percorrido pelo fluxo. Tem-se que $g = 1,4mm$.

A escolha do fio de cobre é determinada pelo efeito pelicular (*skin effect*). sabe-se que conforme a frequência aumenta, a corrente no interior do condutor tende a se concentrar nas bordas. Em outras palavras, a densidade de corrente na periferia é maior que na região central. Deste modo, o *skin effect* reduz a área efetiva do condutor, limitando sua área máxima. A profundidade de penetração é obtida por:

$$\delta_{skin} = \frac{7,5}{\sqrt{\frac{1}{T}}} = 0,0237cm. \quad (\text{A.4})$$

O diâmetro do condutor escolhido não deve ser superior ao dobro desse parâmetro.

$$d_{máx} = 2\delta_{skin} = 0,0474cm, \quad (\text{A.5})$$

sendo assim, o fio de cobre escolhido é 25 AWG. As especificações do condutor são apresentadas no Anexo D.

Para determinar o número de condutor em paralelo, define-se a área total da secção transversal do fio de cobre para cada enrolamento.

$$S_{1cu} = \frac{I_{rms1}}{J_{máx}} = 0,0390cm^2, \quad (A.6)$$

$$S_{2cu} = \frac{I_{rms2}}{J_{máx}} = 0,0195cm^2, \quad (A.7)$$

$$S_{3cu} = \frac{I_{rms3}}{J_{máx}} = 0,0195cm^2, \quad (A.8)$$

onde $J_{máx}$ é a densidade de corrente máxima.

A partir das Equações A.6, A.7 e A.8 tem-se, então:

$$n_{1cond} = \frac{S_{1cu}}{S_{cobre}} \approx 28, \quad (A.9)$$

$$n_{2cond} = \frac{S_{2cu}}{S_{cobre}} \approx 14, \quad (A.10)$$

$$n_{3cond} = \frac{S_{3cu}}{S_{cobre}} \approx 14. \quad (A.11)$$

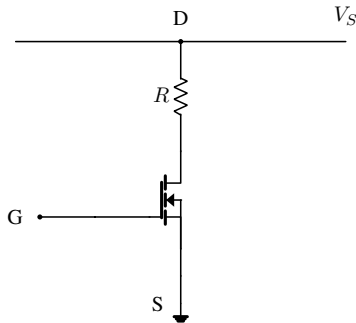
APÊNDICE B – PERDAS DE CHAVEAMENTO NO MOSFET

As perdas no MOSFET devido ao chaveamento são analisadas em dois intervalos de tempo: durante o período em que a chave é ligada (T_{on}) e desligada (T_{off}). Durante o disparo da chave, os capacitores parasitas são descarregados. Já durante o bloqueio, ocorre a carga desses. A dificuldade em determinar os intervalos de tempo reside no comportamento não linear das capacitâncias parasitas (BALIGA, 2010; GRAOVAC; PURSCHEL; KIEP, 2006; XIONG et al., 2009).

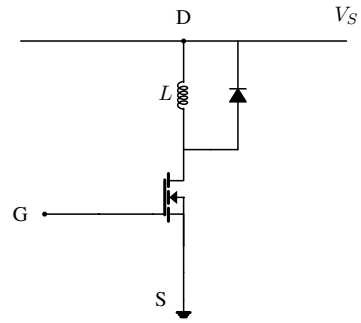
As características da carga também influenciam nas perdas por chaveamento. Na Figura 75, são ilustrados os circuitos para dois tipos de carga: resistiva e com indutor grampeado a diodo. Quando o MOSFET da Figura 75(a) é ativado, a corrente dreno-source (I_{DS}) aumenta linearmente e, conseqüentemente, eleva a tensão dreno-source (V_{DS}). Essas formas de onda de tensão e corrente são representadas pela Figura 76(a) (GRANT; GOWAR, 1989).

Figura 75 – Modelo do MOSFET com diferentes cargas

(a) Circuito com carga resistiva



(b) circuito com indutor grampeado a diodo



Fonte: A autora (2021).

As equações a seguir definem a corrente, tensão, potência e energia dissipadas do circuito com carga resistiva.

$$I_{DS} = \frac{tV_S}{RT_{on}}, \quad (\text{B.1a})$$

$$V_{DS} = V_S - RI_{DS} = V_S \left(1 - \frac{t}{T_{on}}\right), \quad (\text{B.1b})$$

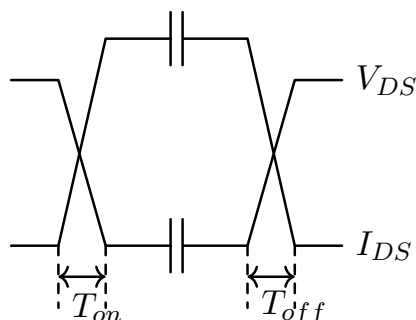
$$P_{SW} = V_{DS}I_{DS} = \frac{V_S^2}{RT_{on}} \left(1 - \frac{t}{T_{on}}\right) t, \quad (\text{B.1c})$$

$$E_{SW} = \int_0^{T_{on}} p dt = \frac{V_S^2 T_{on}}{6R}. \quad (\text{B.1d})$$

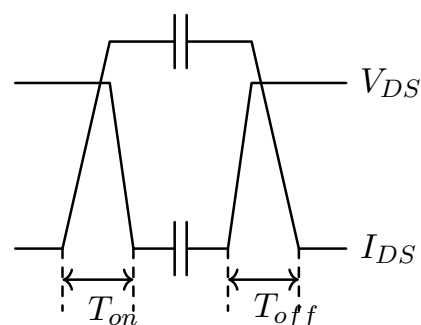
O circuito com indutor grampeado a diodo, ilustrado pela Figura 75(b), opera como fonte de corrente. Quando a chave é ligada, I_{DS} cresce até atingir o valor da corrente do indutor.

Figura 76 – Curvas de tensão, corrente e potência com diferentes cargas

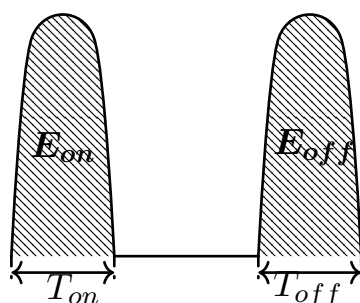
(a) Curvas de tensão e corrente com carga resistiva



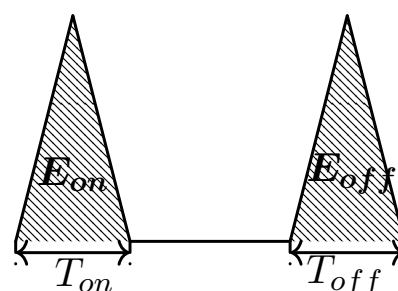
(b) Curvas de tensão e corrente com indutor grampeado a diodo



(c) Curva de potência com carga resistiva



(d) Curva de potência com indutor grampeado a diodo



Fonte: Adaptada de Grant e Gowar (1989).

Após I_{DS} alcançar seu valor máximo, o diodo de roda livre é bloqueado, ocasionando queda da tensão V_{DS} . Durante o bloqueio da chave, o valor de V_{DS} é elevado até polarizar o diodo. Em seguida, o valor da corrente I_{DS} começa a decair, sendo transferida do MOSFET para o diodo. Esse comportamento é observado pelas formas de onda de tensão e corrente na Figura 76(b) (GRANT; GOWAR, 1989).

As Figuras 76(c) e 76(d) descrevem as formas de onda da potência dissipada para os dois tipos de cargas. Durante o chaveamento com carga resistiva, a potência apresenta comportamento de uma função quadrática, conforme ilustrado na Figura 76(c). No circuito com indutor grampeado a diodo, a forma de onda é triangular em função do tempo, como ilustrado na Figura 76(d). Nota-se, então, a influência da carga para análise das perdas.

O circuito em que a carga opera como fonte de corrente é comumente usado na literatura de eletrônica de potência e, por isso, é utilizado como base nas análises seguintes. A partir da área da Figura 76(d), define-se a energia dissipada pelo chaveamento no circuito com indutor grampeado a diodo:

$$E_{SW} = E_{SW(on)} + E_{SW(off)} = \frac{1}{2} (T_{on} + T_{off}) V_S I_{DS}. \quad (B.2)$$

Nota-se que os intervalos de tempo necessários para ligar e desligar a chave influenciam as formas de onda da potência dissipada, tensão e corrente. Desta forma, as perdas de chaveamento estão associadas ao tempo em que a corrente e tensão sobre o MOSFET transitam para ligado ou desligado (GRANT; GOWAR, 1989; XIONG et al., 2009).

O tempo em que a chave é ligada pode ser dividido em dois intervalos de tempo: $T1$ durante o qual o valor de I_{DS} é crescente e o de V_{DS} constante; e $T2$ durante o qual o valor de I_{DS} é constante e o de V_{DS} decai.

A partir dos dados fornecidos pelo fabricante, relaciona-se $T1$ com o tempo de subida da corrente I_{DS} definido por T_r (do inglês *-rise time*). O cálculo de $T2$ é determinado como tempo de decaimento da tensão T_{fv} (do inglês *-voltage-fall time*).

As perdas de chaveamento relacionadas com o período em que a chave é ligada são definidas por:

$$P_{SW(on)} = \frac{T_{fv} + T_r}{2} I_{DS_{rms,min}} V_S f_s, \quad (B.3)$$

onde f_s é a frequência de chaveamento. O valor de $I_{DS_{rms}}$ é considerado mínimo, uma vez que no início do disparo a corrente assume seu menor valor.

Assim como para T_{on} , pode-se definir o período em que a chave é desligada em dois intervalos de tempo: $T3$ durante o qual o valor de V_{DS} é crescente e o de I_{DS} constante; e $T4$ durante o qual o valor de V_{DS} é constante e o de I_{DS} decai.

Associando esses intervalos de tempo com valores disponíveis no *datasheet*, nota-se que o intervalo $T4$ é igual ao tempo de decaimento da corrente I_{DS} definido por T_f (do inglês *-fall time*). O intervalo em que ocorre a subida da tensão de bloqueio, T_{rv} (do inglês *-voltage rise-time*).

As perdas de chaveamento associadas ao período de bloqueio da são definidas por:

$$P_{SW(off)} = \frac{T_f + T_{rv}}{2} I_{DS_{rms,max}} V_S f_s. \quad (B.4)$$

O valor de $I_{DS_{rms}}$ é considerado máximo, pois no início do bloqueio a corrente assume seu maior valor.

As perdas de chaveamento totais são calculadas a partir de:

$$P_{SW} = \frac{V_S f_s}{2} \left((T_{fv} + T_r) I_{DS_{rms,min}} + (T_f + T_{rv}) I_{DS_{rms,max}} \right). \quad (B.5)$$

Percebe-se que as perdas por chaveamento são proporcionais a frequência de operação. Assim, a potência dissipada devido disparo e bloqueio da chave se torna dominante para aplicações em altas frequências (BALIGA, 2010; XIONG et al., 2009).

Os valores dos tempos T_{fv} e T_{rv} podem ser desconsiderados quando comparados a T_r e T_f . Assim, tem-se as perdas totais sobre a chave em:

$$P_S = \frac{V_S f_s}{2} (T_r I_{DS_{rms,min}} + T_f I_{DS_{rms,máx}}) + R_{DSon} \cdot I_{Drms}^2, \quad (\text{B.6})$$

onde os valores da corrente I_{Drms} e da tensão V_S são obtidos pela simulação dos conversores no *software* MATLAB/Simulink.

APÊNDICE C – CÓDIGOS PARA CÁLCULO DE PERDAS

```

% ----- LOAD WORKSPACE -----
%load('Simulacao.type1.OK.mat')
%load('Simulacao.type2.OK.mat')
%load('Simulacao.type3.OK.mat')

% flag_tipo = 1; % seleciona a topologia
% flag_tipo = 2; % seleciona a topologia
% flag_tipo = 3; % seleciona a topologia

% ----- PERDAS CHAVE -----

%Condução
RDson = 90e-3;
IS_rms = rms(Correntes{1}.Values.Data);
PScond = RDson*(IS_rms)^2;

%Chaveamento
fsw = 100e3;
IS_max = max(Correntes{1}.Values);
IS_min = min(Correntes{1}.Values);
Tensao_max = max(TensaoS{1}.Values);
PScha = 0.5*Tensao_max*(Tr*IS_min+Tf*IS_max)*fsw;

Perdas_Chave = PScha + PScond;

% ----- PERDAS DIODOS -----
ID1m = mean(CorrenteD1{1}.Values);
ID2m = mean(CorrenteD2{1}.Values);
ID1m_ = mean(CorrenteD1_{1}.Values);
ID2m_ = mean(CorrenteD2_{1}.Values);
ID1ef = rms(CorrenteD1{1}.Values.Data);
ID2ef = rms(CorrenteD2{1}.Values.Data);
ID1ef_ = rms(CorrenteD1_{1}.Values.Data);
ID2ef_ = rms(CorrenteD2_{1}.Values.Data);
VD1 = 0-min(TensaoD1{1}.Values);
VD2 = 0-min(TensaoD2{1}.Values);
VD1_ = 0-min(TensaoD1_{1}.Values);
VD2_ = 0-min(TensaoD2_{1}.Values);

%Info in datasheet
P_con_D1 = 0.77*ID1m + 0.015 *(ID1ef^2);
P_con_D2 = 0.73*ID2m + 0.021*(ID2ef^2);
P_con_D1_ = 0.77*ID1m_ + 0.015*(ID1ef_^2);
P_con_D2_ = 0.73*ID2m_ + 0.021*(ID2ef_^2);

P_con_Diodos = P_con_D1 + P_con_D2 + P_con_D1_ + P_con_D2_;
Perdas_Diodos = P_con_Diodos;

% ----- PERDAS CAPACITORES -----
IC1 = rms(CorrenteC1{1}.Values.Data);
IC2 = rms(CorrenteC2{1}.Values.Data);
IC1_ = rms(CorrenteC1_{1}.Values.Data);

```

```

IC2_ = rms(CorrenteC2_{1}.Values.Data);
ICo = rms(CorrenteCo{1}.Values.Data);

PCo = RCo*(ICo)^2;
PC1 = RC1*(IC1)^2;
PC2 = RC2*(IC2)^2;
PC1_ = RC1*(IC1_)^2;
PC2_ = RC2*(IC2_)^2;

PCap = PC1 + PC2 + PC1_ + PC2_ + PCo;

% ----- PERDAS IND ACOPLADO -----

if flag_tipo == 1
    Perdas_cobre = 0.1811;
    Perdas_nucleo = 1.2640;
elseif flag_tipo == 2
    Perdas_cobre = 0.1812;
    Perdas_nucleo = 1.2737;
elseif flag_tipo == 3
    Perdas_cobre = 0.1813;
    Perdas_nucleo = 1.2838;
end

Perdas_ind_acoplado = Perdas_cobre + Perdas_nucleo;

% ----- PERDAS TOTAIS -----
Perdas = Perdas_Chave + Perdas_Diodos + PCap + Perdas_ind_acoplado;

% ----- EFICIÊNCIA -----
IL = Load{1}.Values;
VL = Load{2}.Values;
Ii = Entrada{1}.Values;
Vi = Entrada{2}.Values;
Pin = mean(Ii*Vi);
Pout = mean(IL*VL);
Efi_sim = Pout/ Pin;
Eficiencia = 1-(Perdas / Pin);

```

Published with MATLAB® R2017b

```

% ----- LOAD WORKSPACE -----
%load('Simulacao.type1.OK.mat')
%load('Simulacao.type2.OK.mat')
%load('Simulacao.type3.OK.mat')

I_rms = 6;
N1_fio_litz = 14;
N2_fio_litz = 6;
fs = 100; % kHz
N = 14; % primary winding

% flag_tipo = 1 % seleciona a topologia
% flag_tipo = 2 % seleciona a topologia
% flag_tipo = 3 % seleciona a topologia

if flag_tipo == 1
    I_rms_N2 = 1.4534;
    I_rms_N3 = 1.4771;
    I_peak_peak = 12.3161;
    I_dc = 5.8566;
elseif flag_tipo == 2
    I_rms_N2 = 1.4560;
    I_rms_N3 = 1.4779;
    I_peak_peak = 12.3661;
    I_dc = 5.8633;
elseif flag_tipo == 3
    I_rms_N2 = 1.4573;
    I_rms_N3 = 1.4802;
    I_peak_peak = 12.4176;
    I_dc = 5.8706;
end

% MPP 55071A2, mu = 60;
Al = 61e-9;
Al_min = 0.92*Al;
le = 8.14; % cm
D = 33.66; %mm
d = 19.46; % mm
h = 11.43; % mm
Aw = 2.97; % cm2
Ae = 0.656; % cm2

% ----- PERDAS COBRE -----
% Fio escolhido: 25 AWG
d_cu = 0.505; % diâmetro do fio em mm
R_DC = 106.2e-5; % [OHMS/cm] 20°C;

l_cu = (2*h+D-d)*N; % comprimento do fio em mm
l_cu = l_cu/10; % comprimento do fio em cm
P_cu_N1 = R_DC*l_cu*(I_rms/N1_fio_litz)^2;
P_cu_N2 = R_DC*l_cu*(I_rms_N2/N2_fio_litz)^2;
P_cu_N3 = R_DC*l_cu*(I_rms_N3/N2_fio_litz)^2;

```

```

P_cobre_total = N1_fio_litz*P_cu_N1 + N2_fio_litz*P_cu_N2 +
N2_fio_litz*P_cu_N3;

% ----- PERDAS NUCLEO -----

le = le*10; %mm
Hac_max = 4*pi*(N/le)*(I_dc + I_peak_peak/2); % 0e
Hac_min = 4*pi*(N/le)*(I_dc - I_peak_peak/2); % 0e

%Note: Curve fit equations are not valid for negative values of B
Evaluate
%for the absolute value of B, then reverse the sign of the resulting H
%value - Page 72

% For MPP 55071A2, mu = 60 (see pg 72);
a = 3.933e-2;
b = 1.371e-2;
c = 5.727e-4;
d = 5.100e-2;
e = 5.216e-4;
x = 1.528;

B_max = ((a+b*Hac_max+c*Hac_max^2)/(1+d*Hac_max+e*Hac_max^2))^x; % T
B_min = ((a+b*Hac_min+c*Hac_min^2)/(1+d*Hac_min+e*Hac_min^2))^x; % T
delta_B = (B_max-B_min)/2;

% For MPP 55071A2, mu = 60 (see pg 64);
a = 72.15;
b = 2.103;
c = 1.449;

PL = a*(delta_B^b)*(fs^c); % mW / cm3

le = le/10; %cm
P_core = PL*le*Ae; % em mW
P_nucleo = P_core*1e-3; % em W

```

Published with MATLAB® R2017b

ANEXO A – INFORMAÇÕES DO FABRICANTE - MOSFET



IPP048N12N3 G

OptiMOS™3 Power-Transistor

Features

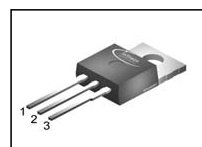
- N-channel, normal level
- Excellent gate charge $\times R_{DS(on)}$ product (FOM)
- Very low on-resistance $R_{DS(on)}$
- 175 °C operating temperature
- Pb-free lead plating; RoHS compliant
- Qualified according to JEDEC¹⁾ for target application
- Ideal for high-frequency switching and synchronous rectification
- Halogen-free according to IEC61249-2-21

Product Summary

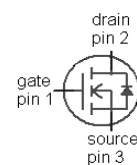
V_{DS}	120	V
$R_{DS(on),max}$	4.8	mΩ
I_D	100	A



PG-TO220-3



Type	Package	Marking
IPP048N12N3 G	PG-TO220-3	048N12N



Maximum ratings, at $T_J=25\text{ °C}$, unless otherwise specified

Parameter	Symbol	Conditions	Value	Unit
Continuous drain current	I_D	$T_C=25\text{ °C}^{2)}$	100	A
		$T_C=100\text{ °C}$	100	
Pulsed drain current ³⁾	$I_{D,pulse}$	$T_C=25\text{ °C}$	400	
Avalanche energy, single pulse	E_{AS}	$I_D=100\text{ A}$, $R_{GS}=25\text{ }\Omega$	740	mJ
Reverse diode dv/dt	dv/dt	$I_D=100\text{ A}$, $V_{DS}=80\text{ V}$, $di/dt=100\text{ A}/\mu\text{s}$, $T_{j,max}=175\text{ °C}$	6	kV/ μs
Gate source voltage ⁴⁾	V_{GS}		± 20	V
Power dissipation	P_{tot}	$T_C=25\text{ °C}$	300	W
Operating and storage temperature	T_j , T_{stg}		-55 ... 175	°C
IEC climatic category; DIN IEC 68-1			55/175/56	



IPP048N12N3 G

Parameter	Symbol	Conditions	Values			Unit
			min.	typ.	max.	

Thermal characteristics

Thermal resistance, junction - case	R_{thJC}		-	-	0.5	K/W
Thermal resistance, junction - ambient	R_{thJA}	minimal footprint	-	-	62	
		6 cm ² cooling area ⁵⁾	-	-	40	

Electrical characteristics, at $T_j=25\text{ °C}$, unless otherwise specified

Static characteristics

Drain-source breakdown voltage	$V_{(BR)DSS}$	$V_{GS}=0\text{ V}, I_D=1\text{ mA}$	120	-	-	V
Gate threshold voltage	$V_{GS(th)}$	$V_{DS}=V_{GS}, I_D=230\text{ }\mu\text{A}$	2	3	4	
Zero gate voltage drain current	I_{DSS}	$V_{DS}=120\text{ V}, V_{GS}=0\text{ V}, T_j=25\text{ °C}$	-	0.1	1	μA
		$V_{DS}=120\text{ V}, V_{GS}=0\text{ V}, T_j=125\text{ °C}$	-	10	100	
Gate-source leakage current	I_{GSS}	$V_{GS}=20\text{ V}, V_{DS}=0\text{ V}$	-	1	100	nA
Drain-source on-state resistance	$R_{DS(on)}$	$V_{GS}=10\text{ V}, I_D=100\text{ A}$	-	4.1	4.8	m Ω
Gate resistance	R_G		-	1.8	-	Ω
Transconductance	g_{fs}	$ V_{DS} >2 I_D R_{DS(on)max}, I_D=100\text{ A}$	81	162	-	S

¹⁾ J-STD20 and JESD22

²⁾ Current is limited by bondwire; with an $R_{thJC}=0.5\text{ K/W}$ the chip is able to carry 161 A.

³⁾ See figure 3

⁴⁾ $T_{jmax}=150\text{ °C}$ and duty cycle $D=0.01$ for $V_{GS}<-5\text{ V}$

⁵⁾ Device on 40 mm x 40 mm x 1.5 mm epoxy PCB FR4 with 6 cm² (one layer, 70 μm thick) copper area for drain connection. PCB is vertical in still air.

ANEXO B – INFORMAÇÕES DO FABRICANTE - DIODOS

Characteristics

STTH1202

1 Characteristics

Table 1. Absolute ratings (limiting values at $T_j = 25^\circ\text{C}$, unless otherwise specified)

Symbol	Parameter			Value	Unit
V _{RRM}	Repetitive peak reverse voltage			200	V
V _{RSM}	Non repetitive peak reverse voltage			200	
I _{F(RMS)}	RMS forward current			30	A
I _{F(AV)}	Average forward current, δ = 0.5	TO-220AC	T _c = 140° C	12	A
		TO-220AC Ins	T _c = 130° C		
		TO-220FPAC	T _c = 105° C		
I _{FRM}	Repetitive peak forward current	t _p = 10 μs F = 5 kHz square		130	A
I _{FSM}	Surge non repetitive forward current	t _p = 10 ms Sinusoidal		100	A
T _{stg}	Storage temperature range			-65 to + 175	° C
T _j	Maximum operating junction temperature			175	° C

Table 2. Thermal parameters

Symbol	Parameter		Value	Unit
$R_{th(j-c)}$	Junction to case	TO-220AC	2.5	$^\circ\text{C/W}$
		TO-220AC Ins	3	
		TO-220FPAC	5	

Table 3. Static electrical characteristics

Symbol	Parameter	Test conditions		Min.	Typ	Max.	Unit
$I_R^{(1)}$	Reverse leakage current	$T_j = 25^\circ\text{C}$	$V_R = V_{RRM}$			10	μA
		$T_j = 125^\circ\text{C}$			10	100	
$V_F^{(2)}$	Forward voltage drop	$T_j = 25^\circ\text{C}$	$I_F = 12\ \text{A}$		1.0	1.10	V
		$T_j = 150^\circ\text{C}$			0.82	0.95	
		$T_j = 25^\circ\text{C}$	$I_F = 15\ \text{A}$			1.15	
		$T_j = 125^\circ\text{C}$			0.91	1.05	
		$T_j = 150^\circ\text{C}$			0.87	1.0	

1. Pulse test: $t_p = 5\ \text{ms}$, $\delta < 2\%$

2. Pulse test: $t_p = 380\ \mu\text{s}$, $\delta < 2\%$

To evaluate the conduction losses use the following equation:

$$P = 0.77 \times I_{F(AV)} + 0.015 \times I_F^2 (RMS)$$

1 Characteristics

Table 2: Absolute ratings (limiting values at 25 °C, unless otherwise specified)

Symbol	Parameter			Value	Unit
V _{RRM}	Repetitive peak reverse voltage			200	V
I _{F(RMS)}	Forward rms current			16	A
I _{F(AV)}	Average forward current δ = 0.5, square wave	TO-220AC, DPAK, D ² PAK	T _C = 145 °C	8	A
		TO-220FPAC	T _C = 125 °C		
I _{FSM}	Surge non repetitive forward current	tp = 10 ms sinusoidal		100	A
T _{stg}	Storage temperature range			-65 to +175	°C
T _j	Maximum operating junction temperature			175	°C

Table 3: Thermal parameter

Symbol	Parameter		Max. value	Unit
$R_{th(j-c)}$	Junction to case	TO-220AC, DPAK, D ² PAK	3.2	°C/W
		TO-220FPAC	5.5	

Table 4: Static electrical characteristics

Symbol	Parameter	Test conditions		Min.	Typ.	Max.	Unit
$I_R^{(1)}$	Reverse leakage current	$T_j = 25\text{ °C}$	$V_R = V_{RRM}$	-		6	μA
		$T_j = 125\text{ °C}$		-	6	60	
$V_F^{(2)}$	Forward voltage drop	$T_j = 25\text{ °C}$	$I_F = 8\text{ A}$	-	0.95	1.05	V
		$T_j = 150\text{ °C}$		-	0.80	0.90	

Notes:

⁽¹⁾Pulse test: $t_p = 5\text{ ms}$, $\delta < 2\%$

⁽²⁾Pulse test: $t_p = 380\text{ }\mu\text{s}$, $\delta < 2\%$

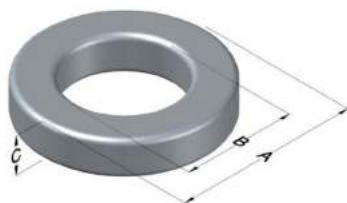
To evaluate the conduction losses, use the following equation:

$$P = 0.73 \times I_{F(AV)} + 0.021 \times I_{F(RMS)}^2$$

ANEXO C – INFORMAÇÕES DO FABRICANTE - NÚCLEO TOROIDAL

**C055071A2**

110 Delta Drive
Pittsburgh, PA 15238
NAFTA Sales: (1)800-245-3984
HK Sales : (852)3102-9337
magnetics@spang.com
www.mag-inc.com

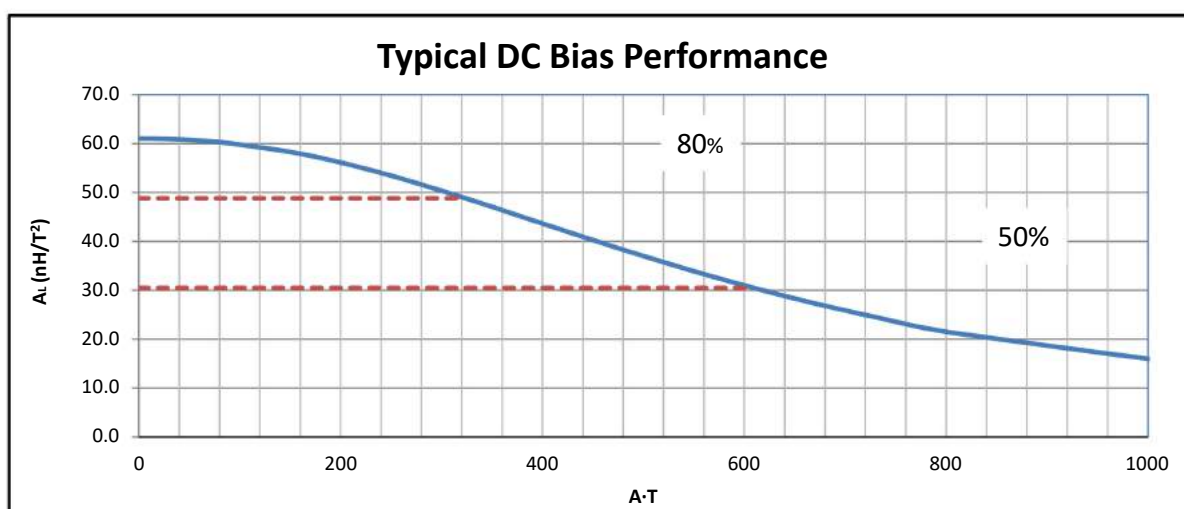


MPP Permeability (μ)	A_L (nH/T ²)	Core Marking			Coating Color
		Lot Number	Part Number	Inductance Grade	
60	61 $\pm$ 8%	XXXXXX	55071A2	X	Gray

Dimensions	Uncoated		Coated Limits			Packaging Cardboard cut-outs Box Qty= 250 pcs
	(mm)	(in)	(mm)	(in)		
OD (A)	32.79	1.291	33.66	1.325	max	
ID (B)	20.09	0.791	19.46	0.766	min	
HT (C)	10.67	0.420	11.43	0.450	max	

Electrical Characteristics			Physical Characteristics						
Watt Loss @ 100 kHz, 100mT max (mW/cm³)	DC Bias min (oersteds)		Voltage Breakdown wire to wire min (V _{AC})	Break Strength min (kg)	Window Area W _A (mm²)	Cross Section A _e (mm²)	Path Length L _e (mm)	Volume V _e (mm³)	Weight (g)
	80%	50%							
	50.0	94.0							
700			>3000	79.0	297	65.6	81.4	5340	44.18

Winding Information						Temperature Rating	
Winding Length Per Turn				Wound Coil Dimensions (mm)			Curie Temp: 460 °C
Winding Factor	(mm)	Winding Factor	(mm)	40% Winding Factor	OD	36.8	Coating Temp (Continuous up to): 200 °C
					HT	17.8	
	Completely Full Window	Max OD	46.7	Notes:			
		Max HT	28.0				
0%	37.1	40%	46.9	Surface Area (mm²)			
20%	42.1	45%	48.5				
25%	43.2	50%	50.0	Unwound Core			
30%	44.4	60%	52.8				
35%	45.9	70%	56.3	40% Winding Factor		4.900	



Revision 10/6/2021

ANEXO D – INFORMAÇÕES DO FABRICANTE - FIO LITZ

Core Selection

Wire Table

AWG Wire Size	Resistance Ω /meter	Wire O.D. (cm) Heavy Build	Wire Area cm^2	Current Capacity, Amps (listed by columns of Amps/ cm^2)				
				200	400	500	600	800
6	.00130	.421	0.1392	26.6	53.2	66.5	79.8	106
7	.00163	.376	0.1110	21.1	42.2	52.8	63.3	84.4
8	.00206	.336	0.0887	16.7	33.5	41.8	50.2	66.9
9	.00260	.299	0.0702	13.3	26.5	33.2	39.8	53.1
10	.00328	.267	0.0560	10.5	21.0	26.3	31.6	42.1
11	.00414	.238	0.0445	8.34	16.7	20.8	25.0	33.3
12	.00521	.213	0.0356	6.62	13.2	16.5	19.8	26.5
13	.00656	.1902	0.0284	5.25	10.5	13.1	15.8	21.0
14	.00828	.1715	0.0231	4.16	8.33	10.4	12.5	16.7
15	.01044	.1529	0.01840	3.30	6.61	8.26	9.91	13.2
16	.01319	.1369	0.01472	2.62	5.23	6.54	7.85	10.5
17	.01658	.1224	0.01177	2.08	4.16	5.20	6.24	8.32
18	.02095	.1095	0.00942	1.65	3.29	4.11	4.94	6.58
19	.02640	.0980	0.00754	1.31	2.61	3.27	3.92	5.22
20	.03323	.0879	0.00607	1.04	2.08	2.59	3.11	4.15
21	.04190	.0785	0.00484	0.823	1.65	2.06	2.47	3.29
22	.05315	.0701	0.00386	0.649	1.30	1.62	1.95	2.59
23	.06663	.0632	0.00314	0.518	1.04	1.29	1.55	2.07
24	.08422	.0566	0.00252	0.409	0.819	1.0236	1.23	1.64
25	.10620	.0505	0.00200	0.325	0.649	0.812	0.974	1.30
26	.13458	.0452	0.00160	0.256	0.512	0.641	0.769	1.02
27	.16873	.0409	0.00131	0.204	0.409	0.511	0.613	0.817
28	0.214	.0366	0.00105	0.161	0.322	0.402	0.483	0.644
29	0.266	.0330	0.000855	0.129	0.259	0.324	0.388	0.518
30	0.340	.0295	0.000683	0.101	0.203	0.253	0.304	0.405
31	0.429	.0267	0.000560	0.0803	0.161	0.201	0.241	0.321
32	0.532	.0241	0.000456	0.0649	0.130	0.162	0.195	0.259
33	0.675	.0216	0.000366	0.0511	0.102	0.128	0.153	0.204
34	0.857	.01905	0.000285	0.0402	0.0804	0.101	0.121	0.161
35	1.085	.01702	0.000228	0.0318	0.0636	0.0795	0.0953	0.127
36	1.361	.01524	0.000182	0.0253	0.0507	0.0633	0.0760	0.101
37	1.680	.01397	0.000153	0.0205	0.0410	0.0513	0.0616	0.0821
38	2.13	.01245	0.000122	0.0162	0.0324	0.0405	0.0486	0.0649
39	2.78	.01092	0.000094	0.0124	0.0248	0.0310	0.0372	0.0497
40	3.54	.00965	0.000073	0.00974	0.0195	0.0243	0.0292	0.0390
41	4.34	.00864	0.000059	0.00795	0.0159	0.0199	0.0238	0.0318
42	5.44	.00762	0.000046	0.00633	0.0127	0.0158	0.0190	0.0253
43	7.03	.00686	0.000037	0.00490	0.00981	0.0123	0.0147	0.0196
44	8.51	.00635	0.000032	0.00405	0.00811	0.0101	0.0122	0.0162
45	10.98	.00546	0.000023	0.00314	0.00628	0.00785	0.00942	0.0126
46	13.80	.00498	0.000019	0.00250	0.00500	0.00624	0.00749	0.00999
47	17.36	.00452	0.000016	0.00199	0.00397	0.00497	0.00596	0.00795
48	22.10	.00394	0.000012	0.00156	0.00312	0.00390	0.00467	0.00623
49	27.60	.00353	0.000010	0.00125	0.00250	0.00312	0.00375	0.00499